#### Министерство науки и высшего образования Российской Федерации Федеральное государственное бюджетное образовательное учреждение высшего образования

#### «Московский государственный технический университет имени Н.Э. Баумана

#### (национальный исследовательский университет)» (МГТУ им. Н.Э. Баумана)

##### ФАКУЛЬТЕТ «Информатика и системы управления»

##### КАФЕДРА «Программное обеспечение ЭВМ и информационные технологии»

#### ОТЧЕТ ПО ЛАБОРАТОРНОЙ РАБОТЕ №4

#### По курсу: "Архитектура ЭВМ"

##### Студент Чыонг Нгуен Вьет Уи Группа ИУ7-52Б Название предприятия МГТУ им. Н. Э. Баумана, каф. ИУ7 Тема Методология разработки и верификации ускорителей вычислений на платформе

##### Xilinx Alveo

|  |  |  |
| --- | --- | --- |
| Студент: |  | Чыонг Н.В.У. |
| Преподаватель: | подпись, дата | Фамилия, И.О.  Попов A.Ю. |
|  | подпись, дата | Фамилия, И. О. |

##### Москва — 2022 г.

**Оглавление**

[Цель работы](#_bookmark0) 2

[Основные теоретические сведения](#_bookmark1) 3

[Копии экранов моделирования исходного проекта VINC(исходная про-](#_bookmark3) [грамма)](#_bookmark3) 5

[Копии экранов моделирования исходного проекта VINC(измененная про-](#_bookmark5) [грамма)](#_bookmark5) 7

[Сборка проекта](#_bookmark7) 9

[Тестирование](#_bookmark8) 10

[Контрольные вопросы](#_bookmark9) 12

[Заключение](#_bookmark10) 14

[Приложение 1](#_bookmark11) 15

[Приложение 2](#_bookmark12) 20

[Приложение 3](#_bookmark13) 26

### 2

# Цель работы

##### Изучение архитектуры гетерогенных вычислительных систем и технологии разра- ботки ускорителей вычислений на базе ПЛИС фирмы Xilinx.

##### Для достижения поставленной цели необходимо выполнить следующие задачи:

##### изучить основные сведения о платформе Xilinx Alveo U200;

##### разработать RTL (Register Transfer Language, язык регистровых передач) описа- ние ускорителя вычислений по индивидуальному варианту;

##### выполнить генерацию ядра ускорителя;

##### выполнить синтез и сборку бинарного модуля ускорителя;

##### разработать и отладить тестирующее программное обеспечение на серверной хост-платформе;

##### провести тесты работы ускорителя вычислений.

### 2

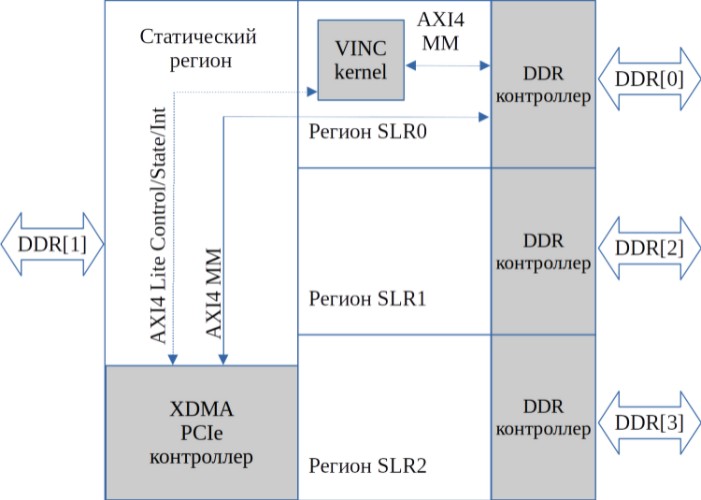
# Основные теоретические сведения

##### В ходе лабораторной работы будет использован базовый шаблон так называемо- го RTL проекта VINC, который может быть создан в IDE Xilinx Vitis и САПР Xilinx Vivado. Шаблон VINC выполняет попарное сложение чисел исходного массива и сохра- няет результаты во втором массиве. Проект VINC включает:

##### Проект ПО хоста, выполняющий инициализацию аппаратного ядра и его тестиро- вание через OpenCL вызовы.

##### Синтезируемый RTL проект ядра ускорителя на языках Verilog и SystemVerilog. Функциональный тест ускорителя VINC на языке SystemVerilog.

##### Проект VINC представляет собой аппаратное устройство, связанное шиной AXI4 MM (Memory mapped) с DDR[i] памятью, и получающее настроечные параметры по интерфейсу AXI4 Lite от программного обеспечения хоста (см. рисунок [1).](#_bookmark2) В рамках всей системы используется единое 64-х разрядное адресное пространство, в котором формируются адреса на всех AXI4 шинах.



### Рисунок 1 – Размещение проекта на ПЛИС xcu200-fsgd2104-2-e карты Alveo U200

##### В каждой карте U200 имеется возможность подключить ускоритель к любому DDR[i] контроллеру в том регионе, где будет размещен проект. Всего для пользователя до- ступны 3 динамических региона: SLR0,1,2, для которых выделены каналы локальной памяти DDR[0], DDR[2], DDR[3] соответственно. Вся подключенная память DDR[0..3] доступна со стороны статического региона, в котором размещена аппаратная часть XRT.

##### Память DDR[1] доступна для использования как в статическом регионе, так и в динамическом регионе SLR1.

### 3

##### Предполагается, что эта память может служить для организации эффективной подсистемы памяти ускорительной карты: буферизации данных, передаваемых меж- ду хост-системой и ускорителем.

**Задание 3.2**

##### По умолчанию, в диаграмму добавлены сигналы шины AXI4 MM, представляющие собой 5 независимых каналов передачи сообщений, которые представлены в таблице [1.](#_bookmark4)

### Таблица 1 – Результаты замеров времени.

|  |  |
| --- | --- |
| Канал передачи | Группы сигналов |
| Канал чтения адреса от ведущего к ведомому | m00\_axi\_ar\* |
| Канал чтения данных от ведомого к ведущему | m00\_axi\_r\* |
| Канал записи адреса записи от ведущего к ведомому | m00\_axi\_aw\* |
| Канал запись данных от ведущего к ведомому | m00\_axi\_w\* |
| Канал записи ответа от ведомого к ведущему | m00\_axi\_b\* |

##### Каналы позволяют сформировать конвейерные транзакции чтения и записи. По- следовательность событий транзакции чтения можно представить следующим образом: ARVALID→ ARREADY→ RVALID→ RREADY.

##### Последовательность событий транзакции записи: AWVALID→ AWREADY → WVALID

##### → WREADY → BVALID → BREADY.

##### На рисунке 2 приведена транзакция чтения данных вектора на шине AXI4 MM из DDR памяти.

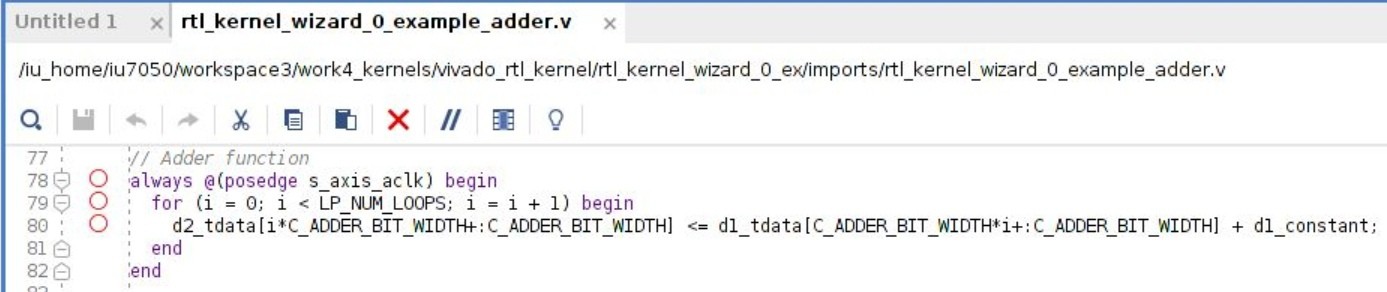
### Рисунок 2 – Транзакция чтения данных вектора на шине AXI4 MM из DDR памяти

### 5

##### На рисунке 3 приведена транзакция записи результата инкремента данных на шине AXI4 MM.

### Рисунок 3 – Транзакция записи результата инкремента данных на шине AXI4 MM

##### На рисунке 4 приведен фрагмент кода модуля rtl\_kernel\_wizard\_0\_example\_adder.v с выполнением инкрементирования данных.



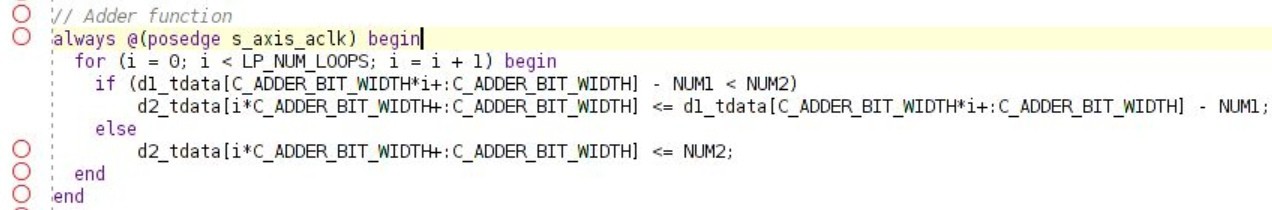
### Рисунок 4 – Код модуля rtl\_kernel\_wizard\_0\_example\_adder.v с выполнением инкрементирования данных

**Задание 3.5**

##### В соответствии с вариантом 20 необходимо было изменить код проекта. Реализовать функцию [1](#_bookmark6)

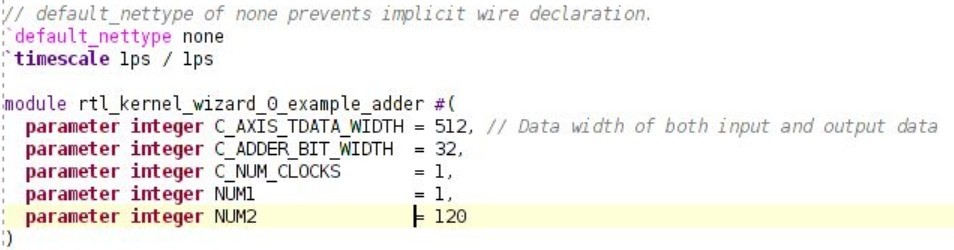
*𝑅*[] = (*𝐴*[] *−* 1*,* 120) (1)

##### На рисунке 5 приведен код измененнной программы.



### Рисунок 5 – Измененный код модуля rtl\_kernel\_wizard\_0\_example\_adder.v

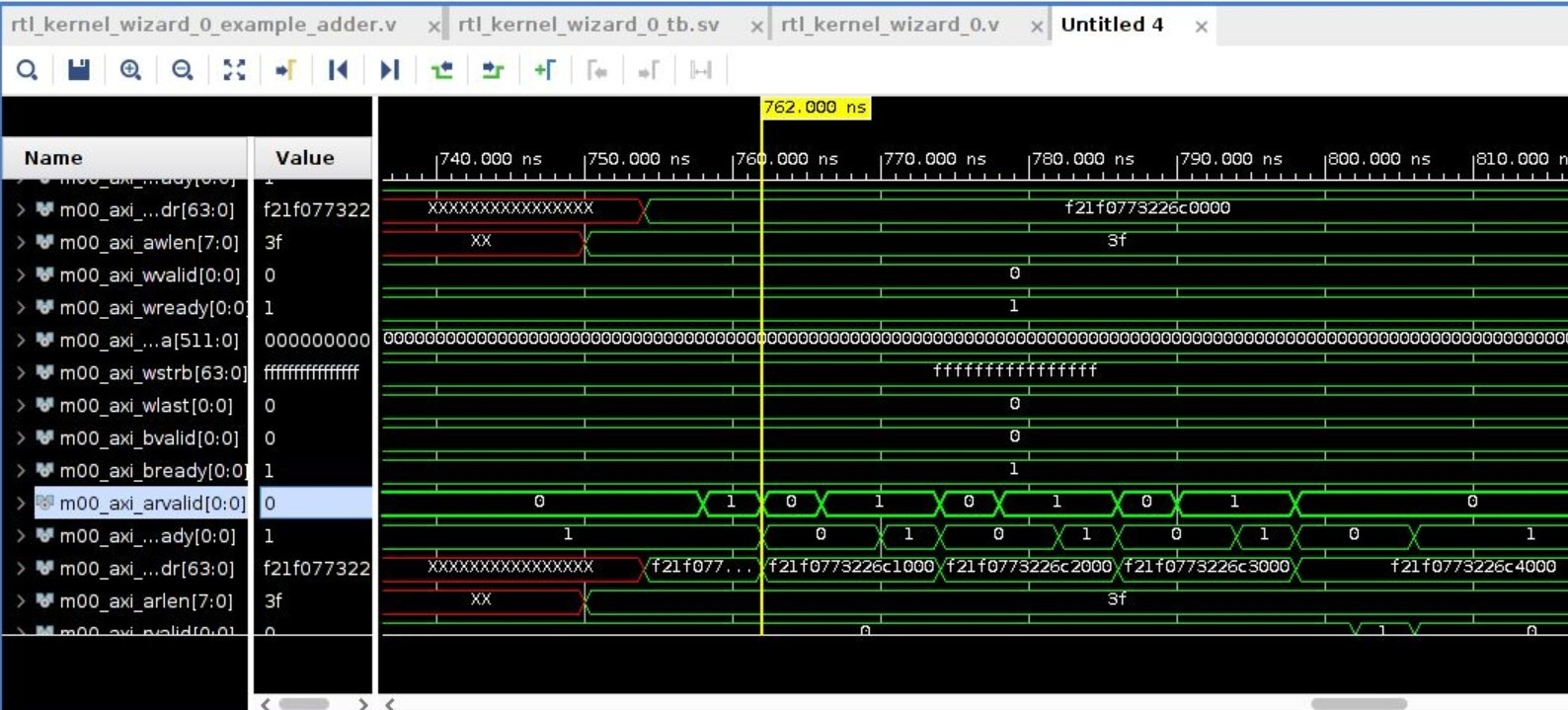
##### Константы, которые используются в данном коде, представлены на рисунке 6.



### Рисунок 6 – Константы

##### На рисунке 7 приведена транзакция чтения данных вектора на шине AXI4 MM из DDR памяти.

### 7



### Рисунок 7 – Транзакция чтения данных вектора на шине AXI4 MM из DDR памяти

##### На рисунке 8 приведена транзакция записи результата инкремента данных на шине AXI4 MM.

### Рисунок 8 – Транзакция записи результата инкремента данных на шине AXI4 MM

# Сборка проекта

##### Для сборки проекта необходимо было написать конфигурационный файл.

##### В конфигурационом файле указывается основная информация для работы компи- лятора v++:

##### Количество и условные имена экземпляров ядер.

##### Тактовая частота работы ядра.

##### Для каждого ядра: выбор области SLR (SLR[0..2]), выбор DDR (DDR[0..3]) па- мяти, выбор высокопроизводительной памяти PLRAM( PLRAM[0,1,2]).

##### Параметры синтеза и оптимизации проекта.

##### На рисунке 9 представлен конфигурационный файл для сборки проекта.



### Рисунок 9 – Конфигурационный файл

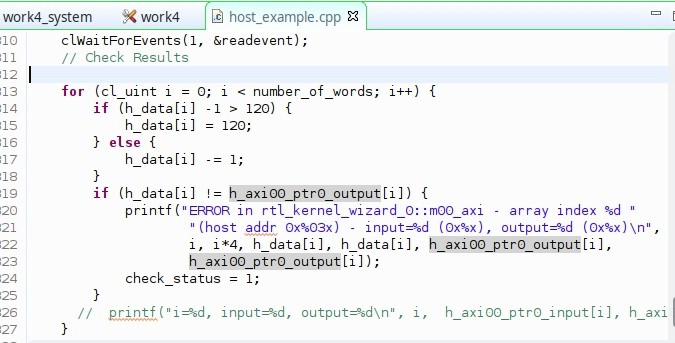
##### Содержимое файлов v++\*.log и \*.xclbin.info. приведено в приложениях.

### 9

# Тестирование

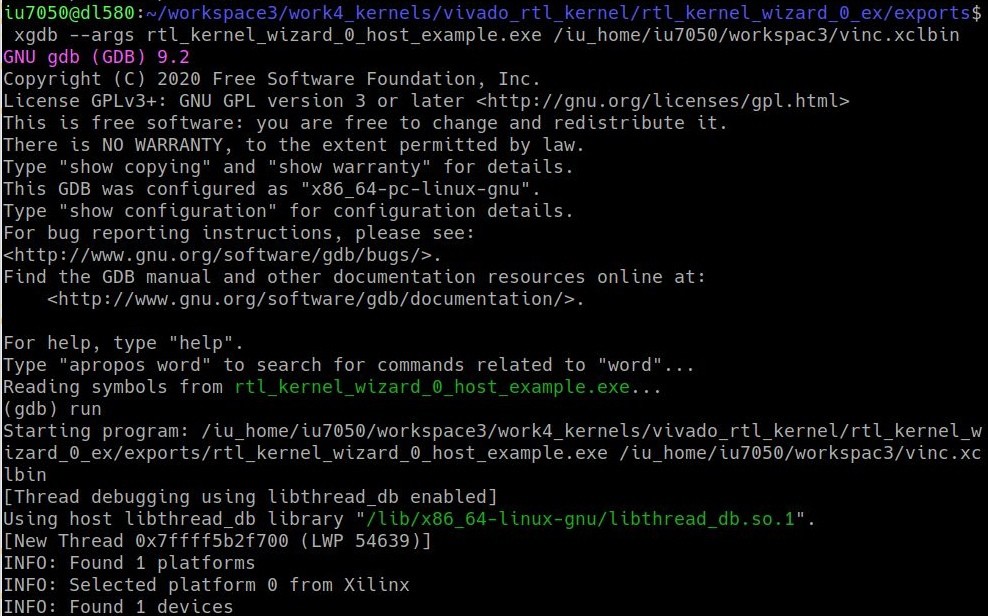
##### Для того, чтобы запустить тесты, необходимо изменить условие проверки в авто- матически созданном программном модуле host\_example.cpp.

##### Часть кода модуля host\_example.cpp приведена на рисунке 10. Было изменено усло- вие проверки, на проверку, соответствующую моему варианту.



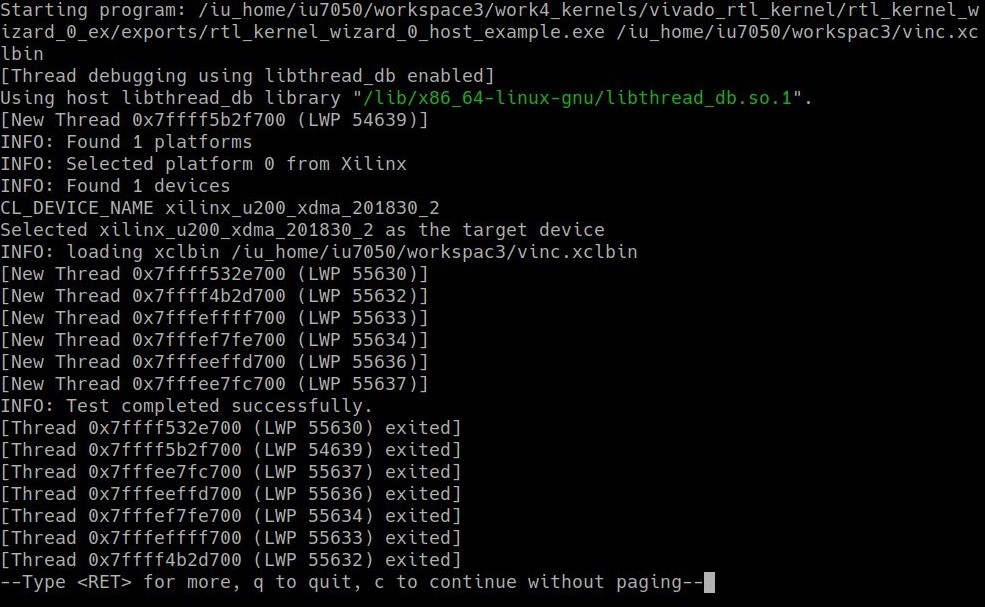
### Рисунок 10 – host\_example.cpp

##### Тесты запускались с помощью утилиты xgdb. Результаты тестирования приведены на рисунке 11.



### Рисунок 11 – Тестирование

### 10



### Рисунок 12 – Тестирование

##### По результатам можно увидеть, что все тесты выполнены успешно.

# Контрольные вопросы

## Назовите преимущества и недостатки XDMA и QDMA плат- форм.

##### Преимущества QDMA:

##### позволяет передавать поток данных непосредственно в логику FPGA параллель- но с их обработкой.

##### предоставляет разработчикам прямое потоковое соединение с низкой задержкой между хостом и ядрами.

##### включает высокопроизводительный DMA, который использует несколько очере- дей, оптимизированных как для передачи данных с высокой пропускной способ- ностью, так и для передачи данных с большим количеством пакетов.

##### Недостатки XDMA:

##### требует, чтобы данные сначала были полностью перемещены из памяти хоста в память FPGA (DDRx4 DIMM или PLRAM), прежде чем логика FPGA сможет начать обработку данных, что влияет на задержку на запуска задачи.

## Назовите последовательность действий, необходимых для ини- циализации ускорителя со стороны хост-системы.

##### Хост получает все платформы.

##### Хост выбирает имя платформы Xilinx.

##### Хост получает Id устройства.

##### Хост получает информацию об устройстве.

##### Создается контекст для переменных.

##### Создается команда для устройста-ускорителя.

### 12

## Какова процедура запуска задания на исполнения в ускори- тельном ядре VINC.

##### Данные из .xclbin копируются из ОЗУ в локальную память ускорителя посред- ством DMA.

##### В памяти устройства-ускорителя создается исполняемый файл.

##### Те данные, которые подлежат обработке, копируются из ОЗУ в локальную па- мять усокрителя посредством DMA.

##### Указываются необходимые параметры и запускается программа на ускорителе.

##### В конце выполняется чтение готовых данных.

## Опишите процесс линковки на основании содержимого файла v++\_\*.log.

##### Анализ профиля устройства. Анализ конфигурационного файла. Поиск необхо- димых интерфейсов.

##### FPGA linking synthesized kernels to platform

##### FPGA logic optimization (оптимизация логики ПЛИС) для минимизации задерж- ки.

##### FPGA logic placement (размещение логики ПЛИС, то есть выбор конкретного мета для определенного логического блока).

##### FPGA routing (маршрутизация ПЛИС)

##### FPGA bitstream generation (генерация битового потока ПЛИС, то есть генерация файла [\*.xclbin]).

# Заключение

##### Изучены архитектуры гетерогенных вычислительных систем и технологии разра- ботки ускорителей вычислений на базе ПЛИС фирмы Xilinx.

##### Были выполнены следующие задачи:

##### изучены основные сведения о платформе Xilinx Alveo U200;

##### разработано RTL (Register Transfer Language, язык регистровых передач) описа- ние ускорителя вычислений по индивидуальному варианту;

##### выполнена генерация ядра ускорителя;

##### выполнены синтез и сборка бинарного модуля ускорителя;

##### разработано и отлажено тестирующее программное обеспечение на серверной хост-платформе;

##### проведены тесты работы ускорителя вычислений.

##### Поставленная цель достигнута.

### 14

# Приложение 1

### Листинг 1 – Содержимое файла host\_example.cpp

1 *// This is a generated f i l e . Use and modify at your own risk .*

2 *////////////////////////////////////////////////////////////////////////////////*

3

4 */∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗*

1. *Vendor : Xilinx*
2. *Associated Filename : main . c*
3. *#Purpose : This example shows a basic vector add +1 ( constant ) by manipulating*
4. *# memory inplace .*

9 *∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗∗/*

10

1. **#include** <f c n t l . h>
2. **#include** <s t d i o . h>
3. **#include** <io s tre am >
4. **#include** <s t d l i b . h>
5. **#include** <s t r i n g . h>
6. **#include** <math . h>
7. **#i f d e f** \_WINDOWS
8. **#include** <i o . h>

###### #e l s e

1. **#include** <u n is t d . h>
2. **#include** <s ys / time . h>

###### #endif

1. **#include** <a s s e r t . h>
2. **#include** <s t d b o o l . h>
3. **#include** <s ys / typ e s . h>
4. **#include** <s ys / s t a t . h>
5. **#include** <CL/ o p e n c l . h>
6. **#include** <CL/ cl\_e xt . h>
7. **#include** " x c l h a l 2 . h" 30

31 *////////////////////////////////////////////////////////////////////////////////*

32

1. **#define** NUM\_WORKGROUPS ( 1 )
2. **#define** WORKGROUP\_SIZE ( 2 5 6 )
3. **#define** MAX\_LENGTH 8192
4. **#define** MEM\_ALIGNMENT 4096
5. **#i f** d e f i n e d (VITIS\_PLATFORM) && ! d e f i n e d (TARGET\_DEVICE)
6. **#define** STR\_VALUE( arg ) #arg
7. **#define** GET\_STRING( name ) STR\_VALUE( name )
8. **#define** TARGET\_DEVICE GET\_STRING(VITIS\_PLATFORM)

###### #endif

42

43 *////////////////////////////////////////////////////////////////////////////////*

44

45 c l\_u in t load\_file\_to\_memory ( **const char** ∗ f i le n a m e , **char** ∗∗ r e s u l t ) 46 {

1. c l\_u in t s i z e = 0 ;
2. FILE ∗ f = fo pe n ( f i le n a m e , " rb " ) ;
3. **i f** ( f == NULL) {
4. ∗ r e s u l t = NULL;
5. **return** −1; *// −1 means f i l e opening f a i l*

52 }

1. f s e e k ( f , 0 , SEEK\_END) ;
2. s i z e = f t e l l ( f ) ;
3. f s e e k ( f , 0 , SEEK\_SET) ;
4. ∗ r e s u l t = ( **char** ∗) mallo c ( s i z e +1) ;
5. **i f** ( s i z e != f r e a d ( ∗ r e s u l t , **s i z e o f** ( **char** ) , s i z e , f ) ) {
6. f r e e ( ∗ r e s u l t ) ;
7. **return** −2; *// −2 means f i l e reading f a i l*

60 }

1. f c l o s e ( f ) ;
2. ( ∗ r e s u l t ) [ s i z e ] = 0 ;
3. **return** s i z e ; 64 }

65

66 **int** main ( **int** argc , **char** ∗∗ argv ) 67 {

68

1. c l \_ i n t e r r ; *// error code returned from api c a l l s*
2. c l\_u in t che ck\_s tatus = 0 ;
3. **const** c l\_u in t number\_of\_words = 4 0 9 6 ; *// 16KB of data*

72

73

1. cl\_platfo rm\_id platfo rm\_id ; *// platform id*
2. cl\_de vice \_id de vice \_id ; *// compute device id*

### 15

1. c l\_c o n te x t c o n te x t ; *// compute context*
2. cl\_command\_queue commands ; *// compute command queue*
3. cl\_program program ; *// compute programs*
4. c l \_ k e r n e l k e r n e l ; *// compute kernel*

80

1. c l\_u in t ∗ h\_data ; *// host memory for input vector*
2. **char** cl\_platform\_vendor [ 1 0 0 1 ] ;
3. **char** target\_device\_name [ 1 0 0 1 ] = TARGET\_DEVICE; 84
4. c l\_u in t ∗ h\_axi00\_ptr0\_output = ( c l\_u in t ∗) a l i g n e d \_ a l l o c (MEM\_ALIGNMENT,MAX\_LENGTH ∗ **s i z e o f** ( c l\_u in t ∗) ) ;

*// host memory for output vector*

1. cl\_mem d\_axi00 \_ptr0 ; *// device memory used for a vector*

87

1. **i f** ( arg c != 2 ) {
2. p r i n t f ( " Usage : ␣%s ␣ x c l b i n \n" , argv [ 0 ] ) ;
3. **return** EXIT\_FAILURE; 91 }

92

1. *// F i l l our data sets with pattern*
2. h\_data = ( c l\_u in t ∗) a l i g n e d \_ a l l o c (MEM\_ALIGNMENT,MAX\_LENGTH ∗ **s i z e o f** ( c l\_u in t ∗) ) ;
3. **for** ( c l\_u in t i = 0 ; i < MAX\_LENGTH; i ++) {
4. h\_data [ i ] = i ;
5. h\_axi00\_ptr0\_output [ i ] = 0 ; 98

99 }

100

1. *// Get a l l platforms and then s e l e c t Xilinx platform*
2. cl\_platfo rm\_id p l a t f o r m s [ 1 6 ] ; *// platform id*
3. c l\_u in t platform\_count ;
4. c l\_u in t platform\_found = 0 ;
5. e r r = c l Ge t Platf o rm IDs ( 1 6 , p la tf o rm s , &platform\_count ) ;
6. **i f** ( e r r != CL\_SUCCESS) {
7. p r i n t f ( "ERROR: ␣ F a i l e d ␣ to ␣ f i n d ␣an␣OpenCL␣ p la tf o rm ! \ n" ) ;
8. p r i n t f ( "ERROR: ␣ Test ␣ f a i l e d \n" ) ;
9. **return** EXIT\_FAILURE;

110 }

111 p r i n t f ( "INFO : ␣Found␣%d␣ p l a t f o r m s \n" , platform\_count ) ; 112

1. *// Find Xilinx Plaftorm*
2. **for** ( c l\_u in t i p l a t =0; i p l a t <platform\_count ; i p l a t ++) {
3. e r r = c l G e t P l a t f o r m I n f o ( p l a t f o r m s [ i p l a t ] , CL\_PLATFORM\_VENDOR, 10 00 , ( **void** ∗) cl\_platform\_vendor , NULL) ;

131

|  |  |  |
| --- | --- | --- |
| 116 | **i f** | ( e r r != CL\_SUCCESS) { |
| 117 |  | p r i n t f ( "ERROR: ␣ c l G e t P l a t f o r m I n f o (CL\_PLATFORM\_VENDOR) ␣ f a i l e d ! \ n" ) ; |
| 118 |  | p r i n t f ( "ERROR: ␣ Test ␣ f a i l e d \n" ) ; |
| 119 |  | **return** EXIT\_FAILURE; |
| 120 | } |  |
| 121 | **i f** | ( strcmp ( cl\_platform\_vendor , " X i l i n x " ) == 0 ) { |
| 122 |  | p r i n t f ( "INFO : ␣ S e l e c t e d ␣ p la tf o rm ␣%d␣ from ␣%s \n" , i p l a t , cl\_platform\_vendor ) ; |
| 123 |  | platfo rm\_id = p l a t f o r m s [ i p l a t ] ; |
| 124 |  | platform\_found = 1 ; |
| 125 | } |  |
| 126 | } | |
| 127 | **i f** ( ! platform\_found ) { | |
| 128 | p r i n t f ( "ERROR: ␣ Platfo rm ␣ X i l i n x ␣ not ␣ found . ␣ Exit . \ n" ) ; | |
| 129 | **return** EXIT\_FAILURE; | |
| 130 | } | |
| 132 | *// Get Accelerator compute device* | |
| 133 | c l\_u in t num\_devices ; | |
| 134 | c l\_u in t device\_found = 0 ; | |
| 135 | cl\_de vice \_id d e v i c e s [ 1 6 ] ; *// compute device id* | |
| 136 | **char** cl\_device\_name [ 1 0 0 1 ] ; | |
| 137 | e r r = c l Ge t De vic e IDs ( platform\_id , CL\_DEVICE\_TYPE\_ACCELERATOR, 1 6 , d e vic e s , &num\_devices ) ; | |
| 138 | p r i n t f ( "INFO : ␣Found␣%d␣ d e v i c e s \n" , num\_devices ) ; | |
| 139 | **i f** ( e r r != CL\_SUCCESS) { | |
| 140 | p r i n t f ( "ERROR: ␣ F a i l e d ␣ to ␣ c r e a t e ␣a␣ d e v i c e ␣ group ! \ n" ) ; | |
| 141 | p r i n t f ( "ERROR: ␣ Test ␣ f a i l e d \n" ) ; | |
| 142 | **return** −1; | |
| 143 | } | |
| 144 |  | |
| 145 | *// i t e r a t e a l l devices to s e l e c t the targ et device .* | |
| 146 | **for** ( c l\_u in t i =0; i <num\_devices ; i ++) { | |
| 147 | e r r = c l G e t D e v i c e I n f o ( d e v i c e s [ i ] , CL\_DEVICE\_NAME, 1 024 , cl\_device\_name , 0 ) ; | |
| 148 | **i f** ( e r r != CL\_SUCCESS) { | |
| 149 | p r i n t f ( "ERROR: ␣ F a i l e d ␣ to ␣ g e t ␣ d e v i c e ␣name␣ f o r ␣ d e v i c e ␣%d ! \ n" , i ) ; | |
| 150 | p r i n t f ( "ERROR: ␣ Test ␣ f a i l e d \n" ) ; | |
| 151 | **return** EXIT\_FAILURE; | |
| 152 | } | |
| 153 | p r i n t f ( "CL\_DEVICE\_NAME␣%s \n" , cl\_device\_name ) ; | |
| 154 | **i f** ( strcmp ( cl\_device\_name , target\_device\_name ) == 0 ) { | |
| 155 | de vic e \_id = d e v i c e s [ i ] ; | |

|  |  |  |
| --- | --- | --- |
| 156 |  | device\_found = 1 ; |
| 157 |  | p r i n t f ( " S e l e c t e d ␣%s ␣ as ␣ the ␣ t a r g e t ␣ d e v i c e \n" , cl\_device\_name ) ; |
| 158 |  | } |
| 159 | } |  |
| 160 |  |  |
| 161 | **i f** | ( ! device\_found ) { |
| 162 |  | p r i n t f ( "ERROR: Target ␣ d e v i c e ␣%s ␣ not ␣ found . ␣ Exit . \ n" , target\_device\_name ) ; |
| 163 |  | **return** EXIT\_FAILURE; |
| 164 | } |  |
| 165 |  |  |
| 166 | *//* | *Create a compute context* |
| 167 | *//* |  |
| 168 | c o n te x t = c l Cre a te Co n te x t ( 0 , 1 , &device\_id , NULL, NULL, &e r r ) ; | |
| 169 | **i f** | ( ! c o n te x t ) { |
| 170 |  | p r i n t f ( "ERROR: ␣ F a i l e d ␣ to ␣ c r e a t e ␣a␣compute ␣ c o n te x t ! \ n" ) ; |
| 171 |  | p r i n t f ( "ERROR: ␣ Test ␣ f a i l e d \n" ) ; |
| 172 |  | **return** EXIT\_FAILURE; |
| 173 | } |  |
| 174 |  |  |
| 175 | *//* | *Create a command commands* |

1. commands = clCreateCommandQueue ( co nte xt , device\_id , CL\_QUEUE\_PROFILING\_ENABLE | CL\_QUEUE\_OUT\_OF\_ORDER\_EXEC\_MODE\_ENABLE, &e r r ) ;
2. **i f** ( ! commands ) {
3. p r i n t f ( "ERROR: ␣ F a i l e d ␣ to ␣ c r e a t e ␣a␣command␣commands ! \ n" ) ;
4. p r i n t f ( "ERROR: ␣ code ␣%i \n" , e r r ) ;
5. p r i n t f ( "ERROR: ␣ Test ␣ f a i l e d \n" ) ;
6. **return** EXIT\_FAILURE;

182 }

183

184 c l \_ i n t s t a t u s ; 185

1. *// Create Program Objects*
2. *// Load binary from disk*
3. **unsigned char** ∗ k e r n e l b i n a r y ;
4. **char** ∗ x c l b i n = argv [ 1 ] ; 190

191 *//−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−*

192 *// xclbin*

193 *//−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−*

1. p r i n t f ( "INFO : ␣ l o a d i n g ␣ x c l b i n ␣%s \n" , x c l b i n ) ;
2. c l\_u in t n\_i0 = load\_file\_to\_memory ( x c lb in , ( **char** ∗∗) &k e r n e l b i n a r y ) ;

196 **i f** ( n\_i0 < 0 ) {

1. p r i n t f ( "ERROR: ␣ f a i l e d ␣ to ␣ lo ad ␣ k e r n e l ␣ from ␣ x c l b i n : ␣%s \n" , x c l b i n ) ;
2. p r i n t f ( "ERROR: ␣ Test ␣ f a i l e d \n" ) ;
3. **return** EXIT\_FAILURE;

200 }

201

202 s iz e \_ t n0 = n\_i0 ; 203

1. *// Create the compute program from o f f l i n e*
2. program = cl Create Program With Binary ( co nte xt , 1 , &device\_id , &n0 ,
3. ( **const unsigned char** ∗∗) &k e r n e l b i n a r y , &s ta tu s , &e r r ) ;
4. f r e e ( k e r n e l b i n a r y ) ; 208
5. **i f** ( ( ! program ) | | ( e r r !=CL\_SUCCESS) ) {
6. p r i n t f ( "ERROR: ␣ F a i l e d ␣ to ␣ c r e a t e ␣compute ␣program ␣ from ␣ b in ary ␣%d ! \ n" , e r r ) ;
7. p r i n t f ( "ERROR: ␣ Test ␣ f a i l e d \n" ) ;
8. **return** EXIT\_FAILURE;

213 }

214

215

216 *// Build the program executable*

217 *//*

1. e r r = cl Build Program ( program , 0 , NULL, NULL, NULL, NULL) ;
2. **i f** ( e r r != CL\_SUCCESS) {
3. s iz e \_ t l e n ;
4. **char** b u f f e r [ 2 0 4 8 ] ; 222
5. p r i n t f ( "ERROR: ␣ F a i l e d ␣ to ␣ b u i l d ␣program ␣ e x e c u t a b l e ! \ n" ) ;
6. cl Ge t Pro g ram Build Inf o ( program , device\_id , CL\_PROGRAM\_BUILD\_LOG, **s i z e o f** ( b u f f e r ) , b u f f e r , &l e n ) ;
7. p r i n t f ( "%s \n" , b u f f e r ) ;
8. p r i n t f ( "ERROR: ␣ Test ␣ f a i l e d \n" ) ;
9. **return** EXIT\_FAILURE;

228 }

229

230 *// Create the compute kernel in the program we wish to run*

231 *//*

1. k e r n e l = c l C r e a t e K e r n e l ( program , " rtl\_kernel\_wizard\_ 0 " , &e r r ) ;
2. **i f** ( ! k e r n e l | | e r r != CL\_SUCCESS) {
3. p r i n t f ( "ERROR: ␣ F a i l e d ␣ to ␣ c r e a t e ␣compute ␣ k e r n e l ! \ n" ) ;
4. p r i n t f ( "ERROR: ␣ Test ␣ f a i l e d \n" ) ;
5. **return** EXIT\_FAILURE;

|  |  |  |
| --- | --- | --- |
| 237  238  239  240  241  242  243  244  245  246 | }  *// Create structs to define memory bank mapping*  cl\_mem\_ext\_ptr\_t mem\_ext ; mem\_ext . o bj = NULL; mem\_ext . param = k e r n e l ;  mem\_ext . f l a g s = 1 ;  d\_axi00 \_ptr0 = c l C r e a t e B u f f e r ( co nte xt , CL\_MEM\_READ\_WRITE | CL\_MEM\_EXT\_PTR\_XILINX, **s i z e o f** ( c l\_u in t ) ∗  number\_of\_words , &mem\_ext , &e r r ) ; | |
| 247 | **i f** | ( e r r != CL\_SUCCESS) { |
| 248 |  | s td : : cout << " Return ␣ code ␣ f o r ␣ c l C r e a t e B u f f e r ␣ f l a g s=" << mem\_ext . f l a g s << " : ␣" << e r r << s td : : e n d l ; |
| 249 | } |  |
| 250 |  |  |
| 251 |  |  |
| 252 | **i f** | ( ! ( d\_axi00 \_ptr0 ) ) { |
| 253 |  | p r i n t f ( "ERROR: ␣ F a i l e d ␣ to ␣ a l l o c a t e ␣ d e v i c e ␣memory ! \ n" ) ; |
| 254 |  | p r i n t f ( "ERROR: ␣ Test ␣ f a i l e d \n" ) ; |
| 255 |  | **return** EXIT\_FAILURE; |
| 256 | } |  |
| 257 |  |  |
| 258 |  |  |
| 259 | e r r = c l Enq ue ue Write Buf f e r ( commands , d\_axi00\_ptr0 , CL\_TRUE, 0 , **s i z e o f** ( c l\_u in t ) ∗ number\_of\_words , h\_data , 0 , NULL, NULL) ; | |
| 260 | **i f** | ( e r r != CL\_SUCCESS) { |
| 261 |  | p r i n t f ( "ERROR: ␣ F a i l e d ␣ to ␣ w r i t e ␣ to ␣ s o u r c e ␣ a rra y ␣h\_data : ␣ d\_axi00 \_ptr0 : ␣%d ! \ n" , e r r ) ; |
| 262 |  | p r i n t f ( "ERROR: ␣ Test ␣ f a i l e d \n" ) ; |
| 263 |  | **return** EXIT\_FAILURE; |
| 264 | } |  |
| 265 |  |  |
| 266 |  |  |
| 267 | *//* | *Set the arguments to our compute kernel* |
| 268 | *//* | *cl\_uint vector\_length = MAX\_LENGTH;* |
| 269  270  271  272  273 | e r r = 0 ;  c l\_u in t d\_num = 0 ;  e r r |= c l Se t Ke rn e l Arg ( k e rn e l , 0 , **s i z e o f** ( c l\_u in t ) , &d\_num) ; *// Not used in example RTL log ic .*  e r r |= c l Se t Ke rn e l Arg ( k e rn e l , 1 , **s i z e o f** ( cl\_mem) , &d\_axi00 \_ptr0 ) ; | |
| 274 | **i f** | ( e r r != CL\_SUCCESS) { |
| 275 |  | p r i n t f ( "ERROR: ␣ F a i l e d ␣ to ␣ s e t ␣ k e r n e l ␣ arguments ! ␣%d\n" , e r r ) ; |
| 276 |  | p r i n t f ( "ERROR: ␣ Test ␣ f a i l e d \n" ) ; |
| 277 |  | **return** EXIT\_FAILURE; |
| 278 | } |  |
| 279 |  |  |

1. s iz e \_ t g l o b a l [ 1 ] ;
2. s iz e \_ t l o c a l [ 1 ] ;
3. *// Execute the kernel over the entire range of our 1d input data set*
4. *// using the maximum number of work group items for th is device*
5. g l o b a l [ 0 ] = 1 ;

286 l o c a l [ 0 ] = 1 ;

1. e r r = clEnqueue NDRange Kernel ( commands , k e rn e l , 1 , NULL, ( s iz e \_ t ∗)&g lo b a l , ( s iz e \_ t ∗)&l o c a l , 0 , NULL, NULL) ;
2. **i f** ( e r r ) {
3. p r i n t f ( "ERROR: ␣ F a i l e d ␣ to ␣ e x e c u te ␣ k e r n e l ! ␣%d\n" , e r r ) ;
4. p r i n t f ( "ERROR: ␣ Test ␣ f a i l e d \n" ) ;
5. **return** EXIT\_FAILURE;

292 }

293

294 c l F i n i s h ( commands ) ; 295

296

297 *// Read back the r e s u l t s from the device to v erify the output*

298 *//*

299 cl\_e ve nt re a d e ve n t ; 300

1. e r r = 0 ;
2. e r r |= cl Enqueue Read Buffer ( commands , d\_axi00\_ptr0 , CL\_TRUE, 0 , **s i z e o f** ( c l\_u in t ) ∗ number\_of\_words , h\_axi00\_ptr0\_output , 0 , NULL, &re a d e ve n t ) ;
3. **i f** ( e r r != CL\_SUCCESS) {
4. p r i n t f ( "ERROR: ␣ F a i l e d ␣ to ␣ read ␣ output ␣ a rra y ! ␣%d\n" , e r r ) ;
5. p r i n t f ( "ERROR: ␣ Test ␣ f a i l e d \n" ) ;
6. **return** EXIT\_FAILURE;

309 }

1. cl Wait For Events ( 1 , &re a d e ve n t ) ;
2. *// Check Results*
3. **for** ( c l\_u in t i = 0 ; i < number\_of\_words ; i ++) {
4. *// p rintf (" h\_data [ i ] %d , h\_output [ i ] %d" , h\_data [ i ] , h\_axi00\_ptr0\_output [ i ] ) ;*

|  |  |
| --- | --- |
| 315 | **i f** ( h\_data [ i ] − 4 > 5 ) { |
| 316 | h\_data [ i ] = 5 ; |
| 317 | } **e l s e** { |
| 318 | h\_data [ i ] −= 4 ; |
| 319 | } |
| 320 | *// p rintf (" h\_data [ i ] %d , h\_output [ i ] %d" , h\_data [ i ] , h\_axi00\_ptr0\_output [ i ] ) ;* |
| 321 | **i f** ( h\_data [ i ] != h\_axi00\_ptr0\_output [ i ] ) { |
| 322 | p r i n t f ( "ERROR␣ in ␣ rtl\_kernel\_wizard\_ 0 : : m00\_axi␣−␣ a rra y ␣ inde x ␣%d␣ ( ho s t ␣ addr ␣ 0 x%03x ) ␣−␣ inp ut=%d␣ |

323

( 0 x%x ) , ␣ output=%d␣ ( 0 x%x ) \n" , i , i ∗ 4 , h\_data [ i ] , h\_data [ i ] , h\_axi00\_ptr0\_output [ i ] ,

h\_axi00\_ptr0\_output [ i ] ) ; che ck\_s tatus = 1 ;

}

*// p rintf (" i=%d , input=%d , output=%d\n" , i , h\_axi00\_ptr0\_input [ i ] , h\_axi00\_ptr0\_output [ i ] ) ;*

}

*//−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−*

*// Shutdown and cleanup*

*//−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−*

cl Release Mem Object ( d\_axi00 \_ptr0 ) ; f r e e ( h\_axi00\_ptr0\_output ) ;

f r e e ( h\_data ) ;

cl Re le as e Pro g ram ( program ) ; c l R e l e a s e K e r n e l ( k e r n e l ) ;

clReleaseCommandQueue ( commands ) ; c l R e le a s e C o n t e x t ( c o n te x t ) ;

**i f** ( che ck\_s tatus ) {

p r i n t f ( "ERROR: ␣ Test ␣ f a i l e d \n" ) ;

**return** EXIT\_FAILURE;

} **e l s e** {

p r i n t f ( "INFO : ␣ Test ␣ completed ␣ s u c c e s s f u l l y . \ n" ) ;

**return** EXIT\_SUCCESS;

}

} *// end of main*

324

325

326

327

328

329

330

331

332

333

334

335

336

337

338

339

340

341

342

343

344

345

346

347

348

349

350

351

352

353

# Приложение 2

### Листинг 2 – Содержимое log-файла

* 1. INFO : [ v++ 60 −1306 ] A d d it io n a l i n f o r m a t i o n a s s o c i a t e d with **this** v++ l i n k can be found at :
  2. Reports : / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ r e p o r t s / l i n k
  3. Log f i l e s : / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l o g s / l i n k
  4. INFO : [ v++ 60 −1548 ] Cre atin g b u i l d summary s e s s i o n with primary output / iu\_home/ iu 7 0 5 0 / workspac 3 / vin c . x c l b i n . link\_summary , at Wed Dec 15 1 3 : 3 7 : 3 5 2021
  5. INFO : [ v++ 60 −1316 ] I n i t i a t i n g c o n n e c tio n to r u l e c h e c k s e r v e r , at Wed Dec 15 1 3 : 3 7 : 3 6 2021
  6. INFO : [ v++ 60 −1315 ] Cre atin g r u l e c h e c k s e s s i o n with output ’ / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ r e p o r t s / l i n k / v++

\_link\_vinc\_guidance . html ’ , at Wed Dec 15 1 3 : 3 7 : 5 2 2021

* 1. INFO : [ v++ 60 −895] Target p la tf o rm : / opt / x i l i n x / p l a t f o r m s / xilinx\_u200\_xdma\_201830\_2 / xilinx\_u200\_xdma\_201830\_2 . xpfm
  2. INFO : [ v++ 60 −1578 ] This p la tf o rm c o n t a i n s Device Support Archive ’ / opt / x i l i n x / p l a t f o r m s / xilinx\_u200\_xdma\_201830\_2 /hw/ xilinx\_u200\_xdma\_201830\_2 . dsa ’
  3. INFO : [ v++ 74 −74] Compiler Ve rs io n s t r i n g : 2 0 2 0 . 2
  4. INFO : [ v++ 60 −1302 ] Platfo rm ’ xilinx\_u200\_xdma\_201830\_2 . xpfm ’ has been e x p l i c i t l y e nable d **for this** r e l e a s e

.

* 1. INFO : [ v++ 60 −629] Linking **for** hardware t a r g e t
  2. INFO : [ v++ 60 −423] Target d e v i c e : xilinx\_u200\_xdma\_201830\_2
  3. INFO : [ v++ 60 −1332 ] Run ’ run\_link ’ s t a t u s : Not s t a r t e d
  4. INFO : [ v++ 60 −1443 ] [ 1 3 : 3 8 : 4 0 ] Run run\_link : Step system\_link : Sta r te d
  5. INFO : [ v++ 60 −1453 ] Command Line : system\_link −−xo / iu\_home/ iu 7 0 5 0 / workspace 3 / work 4 \_kernels / viva d o \_rtl\_k e rn e l / rtl\_kernel\_wizard\_ 0 \_ex / e x p o r t s / rtl\_kernel\_wizard\_ 0 . xo −−c o n f i g / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / s y s l i n k C o n f i g . i n i −−xpfm / opt / x i l i n x / p l a t f o r m s / xilinx\_u200\_xdma\_201830\_2 / xilinx\_u200\_xdma\_201830\_2 . xpfm −−t a r g e t hw −−output\_dir / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** −− temp\_dir / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / s ys \_lin k
  6. INFO : [ v++ 60 −1454 ] Run D i r e c t o r y : / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / run\_link
  7. INFO : [ SYSTEM\_LINK 60 −1316 ] I n i t i a t i n g c o n n e c tio n to r u l e c h e c k s e r v e r , at Wed Dec 15 1 3 : 3 8 : 5 2 2021
  8. INFO : [ SYSTEM\_LINK 82 −70] Ex tr a c tin g xo v3 f i l e / iu\_home/ iu 7 0 5 0 / workspace 3 / work 4 \_kernels / viva d o \_rtl\_k e rn e l

/ rtl\_kernel\_wizard\_ 0 \_ex / e x p o r t s / rtl\_kernel\_wizard\_ 0 . xo

* 1. INFO : [ SYSTEM\_LINK 82 −53] Cre a tin g IP databas e / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / s ys \_lin k / \_s ys l / . cdb / xd\_ip\_db . xml
  2. INFO : [ SYSTEM\_LINK 82 −38] [ 1 3 : 3 8 : 5 3 ] build\_xd\_ip\_db s t a r t e d : / data / X i l i n x / V i t i s / 2 0 2 0 . 2 / bin / build\_xd\_ip\_db

−ip\_s e arch 0 −sds−p f / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / s ys \_lin k / xilinx\_u200\_xdma\_201830\_2 . hpfm − c l k i d 0 −ip / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / s ys \_lin k / i p r e p o /

mycompany\_com\_kernel\_rtl\_kernel\_wizard\_0\_1\_0 , rtl\_kernel\_wizard\_ 0 −o / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k

/ s ys \_lin k / \_s ys l / . cdb /xd\_ip\_db . xml

* 1. INFO : [ SYSTEM\_LINK 82 −37] [ 1 3 : 3 9 : 1 9 ] build\_xd\_ip\_db f i n i s h e d s u c c e s s f u l l y

22 Time ( s ) : cpu = 0 0 : 0 0 : 2 6 ; e l a p s e d = 0 0 : 0 0 : 2 5 . Memory (MB) : peak = 1 5 5 7 . 8 9 5 ; g ain = 0 . 0 0 0 ; f r e e p h y s i c a l = 243062 ; f r e e **virtual** = 342335

1. INFO : [ SYSTEM\_LINK 82 −51] Create system c o n n e c t i v i t y graph
2. INFO : [ SYSTEM\_LINK 82 −102] Applying **e x p l i c i t** c o n n e c t i o n s to the system c o n n e c t i v i t y graph : / iu\_home/ iu 7 0 5 0

/ workspace 3 /\_x/ l i n k / s ys \_lin k / c f g ra p h / cf g e n\_cf g raph . xml

1. INFO : [ SYSTEM\_LINK 82 −38] [ 1 3 : 3 9 : 1 9 ] c f g e n s t a r t e d : / data / X i l i n x / V i t i s / 2 0 2 0 . 2 / bin / c f g e n −nk rtl\_kernel\_wizard\_ 0 : 1 : vin c 0 − s l r vin c 0 : SLR2 −sp vin c 0 . m00\_axi :DDR[ 3 ] −dmclkid 0 −r / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / s ys \_lin k / \_s ys l / . cdb /xd\_ip\_db . xml −o / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / s ys \_lin k / c f g ra p h / cf g e n\_cf g raph . xml
2. INFO : [CFGEN 83 −0] Kernel Specs :
3. INFO : [CFGEN 83 −0] k e r n e l : rtl\_kernel\_wizard\_ 0 , num : 1 { vin c 0 }
4. INFO : [CFGEN 83 −0] Port Specs :
5. INFO : [CFGEN 83 −0] k e r n e l : vinc 0 , k\_port : m00\_axi , s ptag : DDR[ 3 ]
6. INFO : [CFGEN 83 −0] SLR Specs :
7. INFO : [CFGEN 83 −0] i n s t a n c e : vinc 0 , SLR : SLR2
8. INFO : [CFGEN 83 −2228 ] Cre atin g mapping **for** argument vin c 0 . axi 00 \_ptr 0 to DDR[ 3 ] **for** d i r e c t i v e vin c 0 . m00\_axi

:DDR[ 3 ]

1. INFO : [ SYSTEM\_LINK 82 −37] [ 1 3 : 3 9 : 4 0 ] c f g e n f i n i s h e d s u c c e s s f u l l y

34 Time ( s ) : cpu = 0 0 : 0 0 : 2 1 ; e l a p s e d = 0 0 : 0 0 : 2 1 . Memory (MB) : peak = 1 5 5 7 . 8 9 5 ; g ain = 0 . 0 0 0 ; f r e e p h y s i c a l = 241488 ; f r e e **virtual** = 340765

1. INFO : [ SYSTEM\_LINK 82 −52] Create top−l e v e l b lo c k diagram
2. INFO : [ SYSTEM\_LINK 82 −38] [ 1 3 : 3 9 : 4 0 ] cf 2 bd s t a r t e d : / data / X i l i n x / V i t i s / 2 0 2 0 . 2 / bin / cf 2 bd −−l i n u x −−

t r a c e \_ b u f f e r 1024 −−i n p u t \_ f i l e / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / s ys \_lin k / c f g ra p h / cf g e n\_cf g raph . xml

−−ip\_db / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / s ys \_lin k / \_s ys l / . cdb /xd\_ip\_db . xml −−cf\_name dr −−working\_dir

/ iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / s ys \_lin k / \_s ys l / . xsd −−temp\_dir / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / s ys \_lin k −−output\_dir / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** −−target\_bd pfm\_dynamic . bd

1. INFO : [ CF2BD 82 −31] Launching c f 2 x d : c f 2 x d −l i n u x −tra c e −b u f f e r 1024 −i / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k

/ s ys \_lin k / c f g ra p h / cf g e n\_cf g raph . xml −r / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / s ys \_lin k / \_s ys l / . cdb /xd\_ip\_db

. xml −o dr . xml

1. INFO : [ CF2BD 82 −28] c f 2 x d f i n i s h e d s u c c e s s f u l l y
2. INFO : [ CF2BD 82 −31] Launching cf\_xsd : cf\_xsd −d i s a b l e −addre s s −gen −bd pfm\_dynamic . bd −dn dr −dp / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / s ys \_lin k / \_s ys l / . xsd
3. INFO : [ CF2BD 82 −28] cf\_xsd f i n i s h e d s u c c e s s f u l l y
4. INFO : [ SYSTEM\_LINK 82 −37] [ 1 3 : 3 9 : 5 5 ] cf 2 bd f i n i s h e d s u c c e s s f u l l y

42 Time ( s ) : cpu = 0 0 : 0 0 : 1 3 ; e l a p s e d = 0 0 : 0 0 : 1 5 . Memory (MB) : peak = 1 5 5 7 . 8 9 5 ; g ain = 0 . 0 0 0 ; f r e e p h y s i c a l = 240928 ; f r e e **virtual** = 340210

43 INFO : [ v++ 60 −1441 ] [ 1 3 : 3 9 : 5 5 ] Run run\_link : Step system\_link : Completed

44 Time ( s ) : cpu = 0 0 : 0 1 : 1 3 ; e l a p s e d = 0 0 : 0 1 : 1 6 . Memory (MB) : peak = 1 5 8 5 . 1 2 9 ; g ain = 0 . 0 0 0 ; f r e e p h y s i c a l = 240978 ; f r e e **virtual** = 340256

### 20

1. INFO : [ v++ 60 −1443 ] [ 1 3 : 3 9 : 5 5 ] Run run\_link : Step cf 2 s w : Sta r te d
2. INFO : [ v++ 60 −1453 ] Command Line : cf 2 s w −s d s l / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / s d s l . dat −rtd / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / cf 2 s w . rtd − n o f i l t e r / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / c f 2 s w \_ f u l l . rtd −x c l b i n / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / x c l b i n \_ o r i g . xml −o / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / x c l b i n \_ o r i g . 1 . xml
3. INFO : [ v++ 60 −1454 ] Run D i r e c t o r y : / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / run\_link
4. INFO : [ v++ 60 −1441 ] [ 1 3 : 4 0 : 0 9 ] Run run\_link : Step cf 2 s w : Completed

49 Time ( s ) : cpu = 0 0 : 0 0 : 1 3 ; e l a p s e d = 0 0 : 0 0 : 1 4 . Memory (MB) : peak = 1 5 8 5 . 1 2 9 ; g ain = 0 . 0 0 0 ; f r e e p h y s i c a l = 239979 ; f r e e **virtual** = 339259

1. INFO : [ v++ 60 −1443 ] [ 1 3 : 4 0 : 0 9 ] Run run\_link : Step rtd2 \_system\_diagram : Sta r te d
2. INFO : [ v++ 60 −1453 ] Command Line : rtd 2 System Diagram
3. INFO : [ v++ 60 −1454 ] Run D i r e c t o r y : / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / run\_link
4. INFO : [ v++ 60 −1441 ] [ 1 3 : 4 0 : 1 7 ] Run run\_link : Step rtd2 \_system\_diagram : Completed

54 Time ( s ) : cpu = 0 0 : 0 0 : 0 0 . 0 2 ; e l a p s e d = 0 0 : 0 0 : 0 7 . Memory (MB) : peak = 1 5 8 5 . 1 2 9 ; g ain = 0 . 0 0 0 ; f r e e p h y s i c a l = 239203 ; f r e e **virtual** = 338483

1. INFO : [ v++ 60 −1443 ] [ 1 3 : 4 0 : 1 7 ] Run run\_link : Step vpl : Sta r te d
2. INFO : [ v++ 60 −1453 ] Command Line : vpl −t hw −f xilinx\_u200\_xdma\_201830\_2 −−remote\_ip\_cache / iu\_home/ iu 7 0 5 0

/ workspace 3 / . ip c a c h e −−output\_dir / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** −−lo g \_d ir / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l o g s / l i n k −−r e p o r t\_d ir / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ r e p o r t s / l i n k −−c o n f i g / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / vp l Co n f ig . i n i −k / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / k e r n e l \_ i n f o . dat

−−we btalk\_f lag V i t i s −−temp\_dir / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k −−no−i n f o −−i p r e p o / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / xo / ip\_repo / mycompany\_com\_kernel\_rtl\_kernel\_wizard\_0\_1\_0 −−messageDb / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / run\_link / vpl . pb / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / dr . bd . t c l

1. INFO : [ v++ 60 −1454 ] Run D i r e c t o r y : / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / run\_link 58

59 ∗∗∗∗∗∗ vpl v2020 . 2 (64 − b i t )

60 ∗∗∗∗ SW Build ( by x b u i ld ) on 2020 −11 −18 −05:13:29

61 ∗∗ Copyright 1986 −2020 Xilin x , Inc . A l l Rig hts Reserved . 62

1. INFO : [ VPL 60 −839] Read in k e r n e l i n f o r m a t i o n from f i l e ’ / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / i n t / k e r n e l \_ i n f o . dat ’ .
2. INFO : [ VPL 74 −74] Compiler Ve rs io n s t r i n g : 2 0 2 0 . 2
3. INFO : [ VPL 60 −423] Target d e v i c e : xilinx\_u200\_xdma\_201830\_2
4. INFO : [ VPL 60 −1032 ] Ex tr a c tin g hardware p la tf o rm to / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / vivado / vpl / . l o c a l / hw\_platform
5. WARNING: / data / X i l i n x / V i t i s / 2 0 2 0 . 2 / tp s / lnx 6 4 / j r e 9 . 0 . 4 does **not** e x i s t .
6. [ 1 3 : 4 4 : 5 3 ] Run vpl : Step c r e a t e \_ p r o j e c t : Sta r te d
7. Cre atin g Vivado p r o j e c t .
8. [ 1 3 : 4 5 : 1 5 ] Run vpl : Step c r e a t e \_ p r o j e c t : RUNNING . . .
9. [ 1 3 : 4 5 : 2 1 ] Run vpl : Step c r e a t e \_ p r o j e c t : Completed
10. [ 1 3 : 4 5 : 2 1 ] Run vpl : Step create\_bd : Sta r te d
11. [ 1 3 : 4 7 : 0 0 ] Run vpl : Step create\_bd : RUNNING . . .
12. [ 1 3 : 4 8 : 3 3 ] Run vpl : Step create\_bd : RUNNING . . .
13. [ 1 3 : 5 0 : 0 9 ] Run vpl : Step create\_bd : RUNNING . . .
14. [ 1 3 : 5 2 : 0 3 ] Run vpl : Step create\_bd : RUNNING . . .
15. [ 1 3 : 5 3 : 2 8 ] Run vpl : Step create\_bd : RUNNING . . .
16. [ 1 3 : 5 4 : 1 6 ] Run vpl : Step create\_bd : Completed
17. [ 1 3 : 5 4 : 1 6 ] Run vpl : Step update\_bd : Sta r te d
18. [ 1 3 : 5 4 : 1 8 ] Run vpl : Step update\_bd : Completed
19. [ 1 3 : 5 4 : 1 8 ] Run vpl : Step g e n e r a te \_ta r g e t : Sta r te d
20. [ 1 3 : 5 5 : 4 9 ] Run vpl : Step g e n e r a te \_ta r g e t : RUNNING . . .
21. [ 1 3 : 5 7 : 2 9 ] Run vpl : Step g e n e r a te \_ta r g e t : RUNNING . . .
22. [ 1 3 : 5 8 : 5 6 ] Run vpl : Step g e n e r a te \_ta r g e t : RUNNING . . .
23. [ 1 4 : 0 0 : 2 8 ] Run vpl : Step g e n e r a te \_ta r g e t : RUNNING . . .
24. [ 1 4 : 0 2 : 0 0 ] Run vpl : Step g e n e r a te \_ta r g e t : RUNNING . . .
25. [ 1 4 : 0 3 : 4 2 ] Run vpl : Step g e n e r a te \_ta r g e t : RUNNING . . .
26. [ 1 4 : 0 4 : 5 6 ] Run vpl : Step g e n e r a te \_ta r g e t : Completed
27. [ 1 4 : 0 4 : 5 6 ] Run vpl : Step config\_hw\_runs : Sta r te d
28. [ 1 4 : 0 6 : 1 7 ] Run vpl : Step config\_hw\_runs : Completed
29. [ 1 4 : 0 6 : 1 7 ] Run vpl : Step synth : Sta r te d

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 92 | [ 1 4 : 0 8 : 1 9 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 0 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 93 | [ 1 4 : 0 8 : 5 7 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 0 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 94 | [ 1 4 : 0 9 : 3 2 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 0 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 95 | [ 1 4 : 1 0 : 1 4 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 0 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 96 | [ 1 4 : 1 0 : 4 9 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 0 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 97 | [ 1 4 : 1 1 : 3 1 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 0 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 98 | [ 1 4 : 1 2 : 0 6 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 0 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 99 | [ 1 4 : 1 2 : 4 5 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 0 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 100 | [ 1 4 : 1 3 : 2 1 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 0 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 101 | [ 1 4 : 1 4 : 0 3 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 0 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 102 | [ 1 4 : 1 4 : 3 8 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 1 | o f | 66 | j o b s | complete , | 7 | j o b s | running . |
| 103 | [ 1 4 : 1 5 : 2 1 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 5 | o f | 66 | j o b s | complete , | 3 | j o b s | running . |
| 104 | [ 1 4 : 1 5 : 5 7 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 5 | o f | 66 | j o b s | complete , | 4 | j o b s | running . |
| 105 | [ 1 4 : 1 6 : 4 2 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 5 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 106 | [ 1 4 : 1 7 : 1 8 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 5 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 107 | [ 1 4 : 1 8 : 0 3 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 7 | o f | 66 | j o b s | complete , | 6 | j o b s | running . |
| 108 | [ 1 4 : 1 8 : 4 2 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 7 | o f | 66 | j o b s | complete , | 6 | j o b s | running . |
| 109 | [ 1 4 : 1 9 : 2 3 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 7 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 110 | [ 1 4 : 1 9 : 5 7 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 7 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 111 | [ 1 4 : 2 0 : 3 9 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 7 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 112 | [ 1 4 : 2 1 : 1 4 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 7 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 113 | [ 1 4 : 2 1 : 5 7 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 7 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 114  115 | [ 1 4 : 2 2 : 3 2 ] Block−l e v e l s y n t h e s i s in p r o g r e s s , 7 o f 66 j o b s complete , 8 j o b s running .  [ 1 4 : 2 3 : 1 4 ] Block−l e v e l s y n t h e s i s in p r o g r e s s , 8 o f 66 j o b s complete , 7 j o b s running . | | | | | | | | | | | | |
| 116 | [ 1 4 : 2 3 : 5 3 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 11 | o f | 66 | j o b s | complete , | 4 | j o b s | running . |
| 117 | [ 1 4 : 2 4 : 3 7 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 11 | o f | 66 | j o b s | complete , | 5 | j o b s | running . |
| 118 | [ 1 4 : 2 5 : 1 3 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 11 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 119 | [ 1 4 : 2 5 : 5 4 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 13 | o f | 66 | j o b s | complete , | 6 | j o b s | running . |
| 120 | [ 1 4 : 2 6 : 3 1 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 13 | o f | 66 | j o b s | complete , | 6 | j o b s | running . |
| 121 | [ 1 4 : 2 7 : 1 5 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 13 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 122 | [ 1 4 : 2 7 : 5 2 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 13 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 123 | [ 1 4 : 2 8 : 3 4 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 13 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 124 | [ 1 4 : 2 9 : 1 0 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 13 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 125 | [ 1 4 : 2 9 : 5 2 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 13 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 126 | [ 1 4 : 3 0 : 2 9 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 13 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 127 | [ 1 4 : 3 1 : 1 0 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 13 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 128 | [ 1 4 : 3 1 : 4 6 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 17 | o f | 66 | j o b s | complete , | 4 | j o b s | running . |
| 129 | [ 1 4 : 3 2 : 2 9 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 17 | o f | 66 | j o b s | complete , | 5 | j o b s | running . |
| 130 | [ 1 4 : 3 3 : 0 4 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 17 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 131 | [ 1 4 : 3 3 : 4 5 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 19 | o f | 66 | j o b s | complete , | 6 | j o b s | running . |
| 132 | [ 1 4 : 3 4 : 2 2 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 19 | o f | 66 | j o b s | complete , | 6 | j o b s | running . |
| 133 | [ 1 4 : 3 5 : 0 3 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 19 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 134 | [ 1 4 : 3 5 : 3 8 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 19 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 135 | [ 1 4 : 3 6 : 2 1 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 19 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 136 | [ 1 4 : 3 6 : 5 7 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 19 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 137 | [ 1 4 : 3 7 : 4 0 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 19 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 138 | [ 1 4 : 3 8 : 1 6 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 19 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 139 | [ 1 4 : 3 8 : 5 8 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 19 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 140 | [ 1 4 : 3 9 : 3 5 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 22 | o f | 66 | j o b s | complete , | 5 | j o b s | running . |
| 141 | [ 1 4 : 4 0 : 1 6 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 22 | o f | 66 | j o b s | complete , | 5 | j o b s | running . |
| 142 | [ 1 4 : 4 0 : 5 3 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 22 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 143 | [ 1 4 : 4 1 : 3 4 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 22 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 144 | [ 1 4 : 4 2 : 1 0 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 23 | o f | 66 | j o b s | complete , | 7 | j o b s | running . |
| 145 | [ 1 4 : 4 2 : 5 4 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 23 | o f | 66 | j o b s | complete , | 7 | j o b s | running . |
| 146 | [ 1 4 : 4 3 : 3 0 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 24 | o f | 66 | j o b s | complete , | 7 | j o b s | running . |
| 147 | [ 1 4 : 4 4 : 1 4 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 24 | o f | 66 | j o b s | complete , | 7 | j o b s | running . |
| 148 | [ 1 4 : 4 4 : 5 1 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 24 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 149 | [ 1 4 : 4 5 : 3 5 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 25 | o f | 66 | j o b s | complete , | 7 | j o b s | running . |
| 150 | [ 1 4 : 4 6 : 1 2 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 25 | o f | 66 | j o b s | complete , | 7 | j o b s | running . |
| 151 | [ 1 4 : 4 6 : 5 5 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 26 | o f | 66 | j o b s | complete , | 7 | j o b s | running . |
| 152 | [ 1 4 : 4 7 : 3 2 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 27 | o f | 66 | j o b s | complete , | 6 | j o b s | running . |
| 153 | [ 1 4 : 4 8 : 1 5 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 29 | o f | 66 | j o b s | complete , | 5 | j o b s | running . |
| 154 | [ 1 4 : 4 8 : 5 4 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 29 | o f | 66 | j o b s | complete , | 7 | j o b s | running . |
| 155 | [ 1 4 : 4 9 : 3 4 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 29 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 156 | [ 1 4 : 5 0 : 1 2 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 29 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 157 | [ 1 4 : 5 0 : 5 8 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 30 | o f | 66 | j o b s | complete , | 7 | j o b s | running . |
| 158 | [ 1 4 : 5 1 : 3 5 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 30 | o f | 66 | j o b s | complete , | 7 | j o b s | running . |
| 159 | [ 1 4 : 5 2 : 1 7 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 31 | o f | 66 | j o b s | complete , | 7 | j o b s | running . |
| 160 | [ 1 4 : 5 2 : 5 3 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 32 | o f | 66 | j o b s | complete , | 6 | j o b s | running . |
| 161 | [ 1 4 : 5 3 : 3 5 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 32 | o f | 66 | j o b s | complete , | 7 | j o b s | running . |
| 162 | [ 1 4 : 5 4 : 1 1 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 33 | o f | 66 | j o b s | complete , | 7 | j o b s | running . |
| 163 | [ 1 4 : 5 4 : 5 3 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 33 | o f | 66 | j o b s | complete , | 7 | j o b s | running . |
| 164 | [ 1 4 : 5 5 : 3 0 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 35 | o f | 66 | j o b s | complete , | 6 | j o b s | running . |
| 165 | [ 1 4 : 5 6 : 1 5 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 37 | o f | 66 | j o b s | complete , | 4 | j o b s | running . |
| 166 | [ 1 4 : 5 6 : 5 2 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 37 | o f | 66 | j o b s | complete , | 7 | j o b s | running . |
| 167 | [ 1 4 : 5 7 : 3 3 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 37 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 168 | [ 1 4 : 5 8 : 0 9 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 38 | o f | 66 | j o b s | complete , | 7 | j o b s | running . |
| 169 | [ 1 4 : 5 8 : 5 2 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 39 | o f | 66 | j o b s | complete , | 7 | j o b s | running . |
| 170 | [ 1 4 : 5 9 : 3 0 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 39 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 171 | [ 1 5 : 0 0 : 1 1 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 40 | o f | 66 | j o b s | complete , | 7 | j o b s | running . |
| 172 | [ 1 5 : 0 0 : 4 8 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 42 | o f | 66 | j o b s | complete , | 5 | j o b s | running . |
| 173 | [ 1 5 : 0 1 : 2 8 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 43 | o f | 66 | j o b s | complete , | 6 | j o b s | running . |
| 174 | [ 1 5 : 0 2 : 0 5 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 44 | o f | 66 | j o b s | complete , | 6 | j o b s | running . |
| 175 | [ 1 5 : 0 2 : 4 8 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 46 | o f | 66 | j o b s | complete , | 5 | j o b s | running . |
| 176 | [ 1 5 : 0 3 : 2 6 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 46 | o f | 66 | j o b s | complete , | 6 | j o b s | running . |
| 177 | [ 1 5 : 0 4 : 0 9 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 48 | o f | 66 | j o b s | complete , | 6 | j o b s | running . |
| 178 | [ 1 5 : 0 4 : 4 6 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 50 | o f | 66 | j o b s | complete , | 4 | j o b s | running . |
| 179 | [ 1 5 : 0 5 : 2 9 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 50 | o f | 66 | j o b s | complete , | 6 | j o b s | running . |
| 180 | [ 1 5 : 0 6 : 0 8 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 52 | o f | 66 | j o b s | complete , | 6 | j o b s | running . |
| 181 | [ 1 5 : 0 6 : 5 0 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 52 | o f | 66 | j o b s | complete , | 6 | j o b s | running . |
| 182 | [ 1 5 : 0 7 : 2 9 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 52 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 183 | [ 1 5 : 0 8 : 1 4 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 55 | o f | 66 | j o b s | complete , | 5 | j o b s | running . |
| 184 | [ 1 5 : 0 8 : 5 5 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 56 | o f | 66 | j o b s | complete , | 4 | j o b s | running . |
| 185 | [ 1 5 : 0 9 : 3 8 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 56 | o f | 66 | j o b s | complete , | 8 | j o b s | running . |
| 186 | [ 1 5 : 1 0 : 1 7 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 57 | o f | 66 | j o b s | complete , | 7 | j o b s | running . |
| 187 | [ 1 5 : 1 0 : 5 8 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 58 | o f | 66 | j o b s | complete , | 6 | j o b s | running . |
| 188 | [ 1 5 : 1 1 : 4 1 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 58 | o f | 66 | j o b s | complete , | 6 | j o b s | running . |
| 189 | [ 1 5 : 1 2 : 2 3 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 58 | o f | 66 | j o b s | complete , | 6 | j o b s | running . |
| 190 | [ 1 5 : 1 3 : 0 4 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 58 | o f | 66 | j o b s | complete , | 6 | j o b s | running . |
| 191 | [ 1 5 : 1 3 : 4 4 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 59 | o f | 66 | j o b s | complete , | 5 | j o b s | running . |
| 192 | [ 1 5 : 1 4 : 2 5 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 61 | o f | 66 | j o b s | complete , | 3 | j o b s | running . |
| 193 | [ 1 5 : 1 5 : 0 7 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 61 | o f | 66 | j o b s | complete , | 3 | j o b s | running . |
| 194 | [ 1 5 : 1 5 : 4 7 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 61 | o f | 66 | j o b s | complete , | 3 | j o b s | running . |
| 195 | [ 1 5 : 1 6 : 2 8 ] | Block−l e v e l | s y n t h e s i s | in | p r o g r e s s , | 61 | o f | 66 | j o b s | complete , | 3 | j o b s | running . |

1. [ 1 5 : 1 7 : 0 8 ] Block−l e v e l s y n t h e s i s in p r o g r e s s , 61 o f 66 j o b s complete , 3 j o b s running .
2. [ 1 5 : 1 7 : 5 0 ] Block−l e v e l s y n t h e s i s in p r o g r e s s , 63 o f 66 j o b s complete , 1 jo b running .
3. [ 1 5 : 1 8 : 3 1 ] Block−l e v e l s y n t h e s i s in p r o g r e s s , 63 o f 66 j o b s complete , 3 j o b s running .
4. [ 1 5 : 1 9 : 1 3 ] Block−l e v e l s y n t h e s i s in p r o g r e s s , 64 o f 66 j o b s complete , 2 j o b s running .
5. [ 1 5 : 1 9 : 5 2 ] Block−l e v e l s y n t h e s i s in p r o g r e s s , 66 o f 66 j o b s complete , 0 j o b s running .
6. [ 1 5 : 2 0 : 3 6 ] Block−l e v e l s y n t h e s i s in p r o g r e s s , 66 o f 66 j o b s complete , 0 j o b s running .

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 202 | [ 1 5 : 2 1 : 1 4 ] | Top−l e v e l | s y n t h e s i s | in | p r o g r e s s . |
| 203 | [ 1 5 : 2 1 : 5 7 ] | Top−l e v e l | s y n t h e s i s | in | p r o g r e s s . |
| 204 | [ 1 5 : 2 2 : 3 5 ] | Top−l e v e l | s y n t h e s i s | in | p r o g r e s s . |
| 205 | [ 1 5 : 2 3 : 1 8 ] | Top−l e v e l | s y n t h e s i s | in | p r o g r e s s . |
| 206 | [ 1 5 : 2 3 : 5 9 ] | Top−l e v e l | s y n t h e s i s | in | p r o g r e s s . |
| 207 | [ 1 5 : 2 4 : 4 3 ] | Top−l e v e l | s y n t h e s i s | in | p r o g r e s s . |
| 208 | [ 1 5 : 2 5 : 2 1 ] | Top−l e v e l | s y n t h e s i s | in | p r o g r e s s . |
| 209 | [ 1 5 : 2 6 : 0 2 ] | Top−l e v e l | s y n t h e s i s | in | p r o g r e s s . |
| 210 | [ 1 5 : 2 6 : 4 3 ] | Top−l e v e l | s y n t h e s i s | in | p r o g r e s s . |
| 211 | [ 1 5 : 2 7 : 2 5 ] | Top−l e v e l | s y n t h e s i s | in | p r o g r e s s . |
| 212 | [ 1 5 : 2 8 : 0 5 ] | Top−l e v e l | s y n t h e s i s | in | p r o g r e s s . |
| 213 | [ 1 5 : 2 8 : 4 7 ] | Top−l e v e l | s y n t h e s i s | in | p r o g r e s s . |
| 214 | [ 1 5 : 2 9 : 2 7 ] | Top−l e v e l | s y n t h e s i s | in | p r o g r e s s . |
| 215 | [ 1 5 : 3 0 : 0 9 ] | Top−l e v e l | s y n t h e s i s | in | p r o g r e s s . |

1. [ 1 5 : 3 0 : 4 0 ] Run vpl : Step synth : Completed
2. [ 1 5 : 3 0 : 4 0 ] Run vpl : Step impl : Sta r te d
3. [ 1 6 : 2 5 : 1 3 ] Fin is h e d 2 nd o f 6 t a s k s (FPGA l i n k i n g s y n t h e s i z e d k e r n e l s to p la tf o rm ) . Elapsed time : 02 h 44m 45 s
4. [ 1 6 : 2 5 : 1 3 ] S t a r t i n g l o g i c o p t i m i z a t i o n . .

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 221 | [ 1 6 : 3 0 : 5 5 ] | Phase | 1 | Generate And S y n t h e s i z e MIG Cores |
| 222 | [ 1 7 : 0 7 : 3 6 ] | Phase | 2 | Generate And S y n t h e s i z e Debug Cores |
| 223 | [ 1 7 : 3 2 : 2 8 ] | Phase | 3 | Re targ e t |
| 224 | [ 1 7 : 3 5 : 2 4 ] | Phase | 4 | Constant p ro p a g a tio n |
| 225 | [ 1 7 : 3 6 : 4 9 ] | Phase | 5 | Sweep |
| 226 | [ 1 7 : 4 2 : 0 2 ] | Phase | 6 | BUFG o p t i m i z a t i o n |
| 227 | [ 1 7 : 4 4 : 0 5 ] | Phase | 7 | S h i f t R e g i s t e r Optimiz atio n |
| 228 | [ 1 7 : 4 4 : 5 3 ] | Phase | 8 | Post P r o c e s s i n g N e t l i s t |
| 229 | [ 1 7 : 5 9 : 0 1 ] | Fin is h e d 3 rd o f 6 t a s k s (FPGA l o g i c o p t i m i z a t i o n ) . Elapsed time : 01 h 33m 47 s | | |
| 230 |  |  | | |
| 231 | [ 1 7 : 5 9 : 0 1 ] | S t a r t i n g l o g i c placement . . | | |
| 232 | [ 1 8 : 0 3 : 5 1 ] | Phase 1 Pla c e r I n i t i a l i z a t i o n | | |
| 233 | [ 1 8 : 0 3 : 5 1 ] | Phase 1 . 1 Pla c e r I n i t i a l i z a t i o n N e t l i s t S o r t i n g | | |
| 234 | [ 1 8 : 1 7 : 2 0 ] | Phase 1 . 2 IO Placement / Clock Placement / Build Pla c e r Device | | |
| 235 | [ 1 8 : 2 6 : 0 7 ] | Phase 1 . 3 Build Pla c e r N e t l i s t Model | | |
| 236 | [ 1 8 : 3 8 : 2 0 ] | Phase 1 . 4 Co ns train Clo cks / Macros | | |
| 237 | [ 1 8 : 3 9 : 4 6 ] | Phase 2 Global Placement | | |
| 238 | [ 1 8 : 3 9 : 4 6 ] | Phase 2 . 1 Flo o r p la n n in g | | |
| 239 | [ 1 8 : 4 3 : 1 4 ] | Phase 2 . 1 . 1 P a r t i t i o n Driven Placement | | |
| 240 | [ 1 8 : 4 3 : 1 4 ] | Phase 2 . 1 . 1 . 1 PBP: P a r t i t i o n Driven Placement | | |
| 241 | [ 1 8 : 4 6 : 0 3 ] | Phase 2 . 1 . 1 . 2 PBP: Clock Region Placement | | |
| 242 | [ 1 8 : 4 9 : 3 2 ] | Phase 2 . 1 . 1 . 3 PBP: Compute Co ng e s tio n | | |
| 243 | [ 1 8 : 4 9 : 3 2 ] | Phase 2 . 1 . 1 . 4 PBP: UpdateTiming | | |
| 244 | [ 1 8 : 5 1 : 3 6 ] | Phase 2 . 1 . 1 . 5 PBP: Add p art c o n s t r a i n t s | | |
| 245 | [ 1 8 : 5 2 : 2 1 ] | Phase 2 . 2 Update Timing b e f o r e SLR Path Opt | | |
| 246 | [ 1 8 : 5 2 : 5 9 ] | Phase 2 . 3 Global Placement Core | | |
| 247 | [ 1 9 : 2 2 : 5 1 ] | Phase 2 . 3 . 1 P h y s i c a l S y n t h e s i s In P la c e r | | |
| 248 | [ 1 9 : 3 5 : 0 3 ] | Phase 3 D e t a i l Placement | | |
| 249 | [ 1 9 : 3 5 : 0 3 ] | Phase 3 . 1 Commit Multi Column Macros | | |
| 250 | [ 1 9 : 3 5 : 0 3 ] | Phase 3 . 2 Commit Most Macros & LUTRAMs | | |
| 251 | [ 1 9 : 4 0 : 1 0 ] | Phase 3 . 3 Small Shape DP | | |
| 252 | [ 1 9 : 4 0 : 1 0 ] | Phase 3 . 3 . 1 Small Shape C l u s t e r i n g | | |
| 253 | [ 1 9 : 4 2 : 3 0 ] | Phase 3 . 3 . 2 Flow L e g a l i z e S l i c e C l u s t e r s | | |
| 254 | [ 1 9 : 4 2 : 3 0 ] | Phase 3 . 3 . 3 S l i c e Area Swap | | |
| 255 | [ 1 9 : 4 7 : 3 1 ] | Phase 3 . 4 Place Remaining | | |
| 256 | [ 1 9 : 4 7 : 3 1 ] | Phase 3 . 5 Re−a s s i g n LUT p in s | | |
| 257 | [ 1 9 : 4 9 : 4 6 ] | Phase 3 . 6 P i p e l i n e R e g i s t e r Optimiz atio n | | |
| 258 | [ 1 9 : 4 9 : 4 6 ] | Phase 3 . 7 Fast Optimiz atio n | | |
| 259 | [ 1 9 : 5 3 : 1 5 ] | Phase 4 Post Placement Optimiz atio n **and** Clean−Up | | |
| 260 | [ 1 9 : 5 3 : 1 5 ] | Phase 4 . 1 Post Commit Optimiz atio n | | |
| 261 | [ 2 0 : 0 1 : 4 9 ] | Phase 4 . 1 . 1 Post Placement Optimiz atio n | | |
| 262 | [ 2 0 : 0 2 : 3 4 ] | Phase 4 . 1 . 1 . 1 BUFG I n s e r t i o n | | |
| 263 | [ 2 0 : 0 2 : 3 4 ] | Phase 1 P h y s i c a l S y n t h e s i s I n i t i a l i z a t i o n | | |
| 264 | [ 2 0 : 0 5 : 2 7 ] | Phase 4 . 1 . 1 . 2 BUFG R e p l i c a t i o n | | |
| 265 | [ 2 0 : 0 8 : 1 8 ] | Phase 4 . 1 . 1 . 3 R e p l i c a t i o n | | |
| 266 | [ 2 0 : 1 4 : 0 6 ] | Phase 4 . 2 Post Placement Cleanup | | |
| 267 | [ 2 0 : 1 4 : 4 6 ] | Phase 4 . 3 Pla c e r Re po rting | | |
| 268 | [ 2 0 : 1 4 : 4 6 ] | Phase 4 . 3 . 1 Prin t Estimated Co ng e s tio n | | |
| 269 | [ 2 0 : 1 6 : 1 1 ] | Phase 4 . 4 Fin a l Placement Cleanup | | |
| 270 | [ 2 1 : 1 5 : 3 5 ] | Fin is h e d 4 th o f 6 t a s k s (FPGA l o g i c placement ) . Elapsed time : 03 h 16m 34 s | | |
| 271 |  |  | | |
| 272 | [ 2 1 : 1 5 : 3 5 ] | S t a r t i n g l o g i c r o u t i n g . . | | |
| 273 | [ 2 1 : 2 0 : 5 8 ] | Phase 1 Build RT Design | | |
| 274 | [ 2 1 : 3 1 : 2 9 ] | Phase 2 Router I n i t i a l i z a t i o n | | |
| 275 | [ 2 1 : 3 2 : 2 1 ] | Phase 2 . 1 Fix Topology C o n s t r a i n t s | | |
| 276 | [ 2 1 : 3 2 : 2 1 ] | Phase 2 . 2 Pre Route Cleanup | | |

1. [ 2 1 : 3 3 : 0 5 ] Phase 2 . 3 Global Clock Net Routing
2. [ 2 1 : 3 6 : 0 4 ] Phase 2 . 4 Update Timing
3. [ 2 1 : 4 8 : 0 4 ] Phase 2 . 5 Update Timing **for** Bus Skew

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 280 | [ 2 1 : 4 8 : 0 4 ] | | Phase | 2 . 5 . 1 Update Timing |  |
| 281 | [ 2 1 : 5 3 : 4 7 ] | | Phase | 3 I n i t i a l Routing |
| 282 | [ 2 1 : 5 3 : 4 7 ] | | Phase | 3 . 1 Global Routing |
| 283 | [ 2 1 : 5 8 : 2 1 ] | | Phase | 4 Rip−up And Reroute |
| 284 | [ 2 1 : 5 8 : 2 1 ] | | Phase | 4 . 1 Global I t e r a t i o n | 0 |
| 285 | [ 2 2 : 1 9 : 1 4 ] | | Phase | 4 . 2 Global I t e r a t i o n | 1 |
| 286 | [ 2 2 : 2 3 : 4 2 ] | | Phase | 4 . 3 Global I t e r a t i o n | 2 |
| 287 | [ 2 2 : 2 9 : 5 4 ] Phase 5 Delay **and** Skew Optimiz atio n | | | | |
| 288 | [ 2 2 : 2 9 : 5 4 ] Phase 5 . 1 Delay CleanUp | | | | |
| 289 | [ 2 2 : 2 9 : 5 4 ] Phase 5 . 1 . 1 Update Timing | | | | |
| 290 | [ 2 2 : 3 5 : 2 1 ] Phase 5 . 2 Clock Skew Optimiz atio n | | | | |
| 291 | [ 2 2 : 3 6 : 1 1 ] Phase 6 Post Hold Fix | | | | |
| 292 | [ 2 2 : 3 6 : 1 1 ] Phase 6 . 1 Hold Fix I t e r | | | | |
| 293 | [ 2 2 : 3 6 : 1 1 ] Phase 6 . 1 . 1 Update Timing | | | | |
| 294 | [ 2 2 : 4 1 : 4 1 ] Phase 7 Route f i n a l i z e | | | | |
| 295 | [ 2 2 : 4 1 : 4 1 ] Phase 8 V e r i f y i n g ro ute d n e ts | | | | |
| 296 | [ 2 2 : 4 3 : 2 8 ] Phase 9 De p o s itin g Routes | | | | |
| 297 | [ 2 2 : 4 7 : 0 3 ] Phase 10 Route f i n a l i z e | | | | |
| 298 | [ 2 2 : 4 7 : 0 3 ] Phase 11 Post Router Timing | | | | |
| 299 | [ 2 2 : 5 4 : 1 7 ] Fin is h e d 5 th o f 6 t a s k s (FPGA r o u t i n g ) . Elapsed time : 01 h 38m 42 s | | | | |
| 300 |  | | | | |
| 301 | [ 2 2 : 5 4 : 1 7 ] S t a r t i n g b its tr e a m g e n e r a t i o n . . | | | | |
| 302 | [ 0 0 : 3 0 : 4 9 ] Cre a tin g bitmap . . . | | | | |
| 303 | [ 0 1 : 1 0 : 2 6 ] Writing b its tr e a m . / pfm\_top\_i\_dynamic\_region\_my\_rm\_partial . b i t . . . | | | | |
| 304 | [ 0 1 : 1 1 : 1 3 ] Fin is h e d 6 th o f 6 t a s k s (FPGA b its tr e a m g e n e r a t i o n ) . Elapsed time : 02 h 16m 55 s | | | | |
| 305 | [ 0 1 : 1 4 : 5 3 ] Run vpl : Step impl : Completed | | | | |
| 306 | [ 0 1 : 1 5 : 1 2 ] Run vpl : FINISHED . Run Sta tu s : impl Complete ! | | | | |
| 307 | INFO : [ v++ 60 −1441 ] [ 0 1 : 1 5 : 5 4 ] Run run\_link : Step vpl : Completed | | | | |
| 308 | Time ( s ) : cpu = 0 0 : 3 9 : 5 5 ; e l a p s e d = 1 1 : 3 5 : 3 8 . Memory (MB) : peak = 1 5 8 5 . 1 2 9 ; g ain = 0 . 0 0 0 ; f r e e | | | | |
|  | p h y s i c a l = 177799 ; f r e e **virtual** = 318816 | | | | |
| 309 | INFO : | [ v++ 60 −1443 ] [ 0 1 : 1 5 : 5 4 ] Run run\_link : Step rtdg e n : Sta r te d | | | |
| 310 | INFO : | [ v++ 60 −1453 ] Command Line : rtdg e n | | | |
| 311 | INFO : | [ v++ 60 −1454 ] Run D i r e c t o r y : / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / run\_link | | | |
| 312 | INFO : | [ v++ 60 −991] c l o c k name ’ clkwiz\_kernel\_clk\_out 1 ’ ( c l o c k ID ’ 0 ’ ) i s b e ing mapped to c l o c k name ’ | | | |

DATA\_CLK’ in the x c l b i n

1. INFO : [ v++ 60 −991] c l o c k name ’ clkwiz\_kernel 2 \_clk\_out 1 ’ ( c l o c k ID ’ 1 ’ ) i s b e ing mapped to c l o c k name ’ KERNEL\_CLK’ in the x c l b i n
2. INFO : [ v++ 60 −1230 ] The c o m p i le r s e l e c t e d the f o l l o w i n g f r e q u e n c i e s **for** the runtime c o n t r o l l a b l e k e r n e l c l o c k ( s ) **and** s c a l a b l e system c l o c k ( s ) : Kernel (DATA) c l o c k : clkwiz\_kernel\_clk\_out 1 = 3 00 , Kernel ( KERNEL) c l o c k : clkwiz\_kernel 2 \_clk\_out 1 = 500
3. INFO : [ v++ 60 −1453 ] Command Line : cf 2 s w −a / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / address\_map . xml −s d s l / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / s d s l . dat −x c l b i n / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** /

x c l b i n \_ o r i g . xml −rtd / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / vin c . rtd −o / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / vin c . xml

1. INFO : [ v++ 60 −1652 ] Cf2sw re tu rn e d e x i t code : 0
2. INFO : [ v++ 60 −2311 ] HPISystemDiagram : : write System Diagram After Running Vivado , r td In p u t File Pa th : / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / vin c . rtd
3. INFO : [ v++ 60 −2312 ] HPISystemDiagram : : write System Diagram After Running Vivado , system Diagram Output File Path : / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / system Diagram Model Slr Base Address . j s o n
4. INFO : [ v++ 60 −1618 ] Launching
5. INFO : [ v++ 60 −1441 ] [ 0 1 : 1 6 : 0 7 ] Run run\_link : Step rtdg e n : Completed

321 Time ( s ) : cpu = 0 0 : 0 0 : 1 2 ; e l a p s e d = 0 0 : 0 0 : 1 3 . Memory (MB) : peak = 1 5 8 5 . 1 2 9 ; g ain = 0 . 0 0 0 ; f r e e

p h y s i c a l = 177516 ; f r e e **virtual** = 318543

1. INFO : [ v++ 60 −1443 ] [ 0 1 : 1 6 : 0 7 ] Run run\_link : Step x c l b i n u t i l : Sta r te d
2. INFO : [ v++ 60 −1453 ] Command Line : x c l b i n u t i l −−add−s e c t i o n DEBUG\_IP\_LAYOUT: JSON: / iu\_home/ iu 7 0 5 0 / workspace 3

/\_x/ l i n k / **int** / debug\_ip\_layout . rtd −−add−s e c t i o n BITSTREAM:RAW: / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / p a r t i a l . b i t −−f o r c e −−t a r g e t hw −−key−va lu e SYS : dfx\_enable : **true** −−add−s e c t i o n : JSON: / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / vin c . rtd −−append−s e c t i o n : JSON: / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / appe nd Se ctio n . rtd −−add−s e c t i o n CLOCK\_FREQ\_TOPOLOGY: JSON: / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / vinc\_xml . rtd −−add−s e c t i o n BUILD\_METADATA: JSON: / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / vinc\_build . rtd

−−add−s e c t i o n EMBEDDED\_METADATA:RAW: / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / vin c . xml −−add−s e c t i o n SYSTEM\_METADATA:RAW: / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / **int** / system Diagram Model Slr Base Address . j s o n −− output / iu\_home/ iu 7 0 5 0 / workspac 3 / vin c . x c l b i n

1. INFO : [ v++ 60 −1454 ] Run D i r e c t o r y : / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / run\_link

325 XRT Build Ve rs io n : 2 . 8 . 7 4 3 ( 2 0 2 0 . 2 )

326 Build Date : 2020−11−16 0 0 : 1 9 : 1 1

327 Hash ID : 77 d 5 4 8 4 b 5 c 4 daa 6 9 1 a 7 f 7 8 2 3 5 0 5 3 fb 0 3 6 8 2 9 b 1 e 9

328 Cre atin g a **default** ’ in−memory ’ x c l b i n image . 329

1. S e c t i o n : ’DEBUG\_IP\_LAYOUT’ ( 9 ) was s u c c e s s f u l l y added .
2. S i z e : 440 b yte s
3. Format : JSON
4. F i l e : ’ / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / i n t / debug\_ip\_layout . rtd ’ 334
5. S e c t i o n : ’BITSTREAM ’ ( 0 ) was s u c c e s s f u l l y added .
6. S i z e : 42701310 b yte s
7. Format : RAW
8. F i l e : ’ / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / i n t / p a r t i a l . b i t ’ 339
9. S e c t i o n : ’MEM\_TOPOLOGY’ ( 6 ) was s u c c e s s f u l l y added .
10. Format : JSON
11. F i l e : ’ mem\_topology ’ 343
12. S e c t i o n : ’IP\_LAYOUT ’ ( 8 ) was s u c c e s s f u l l y added .
13. Format : JSON
14. F i l e : ’ ip\_layo ut ’ 347
15. S e c t i o n : ’CONNECTIVITY ’ ( 7 ) was s u c c e s s f u l l y added .
16. Format : JSON
17. F i l e : ’ c o n n e c t i v i t y ’ 351
18. S e c t i o n : ’CLOCK\_FREQ\_TOPOLOGY’ ( 1 1 ) was s u c c e s s f u l l y added .
19. S i z e : 274 b yte s
20. Format : JSON
21. F i l e : ’ / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / i n t / vinc\_xml . rtd ’ 356
22. S e c t i o n : ’BUILD\_METADATA’ ( 1 4 ) was s u c c e s s f u l l y added .
23. S i z e : 3050 b yte s
24. Format : JSON
25. F i l e : ’ / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / i n t / vinc\_build . rtd ’ 361
26. S e c t i o n : ’EMBEDDED\_METADATA’ ( 2 ) was s u c c e s s f u l l y added .
27. S i z e : 2759 b yte s
28. Format : RAW
29. F i l e : ’ / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / i n t / vin c . xml ’ 366
30. S e c t i o n : ’SYSTEM\_METADATA’ ( 2 2 ) was s u c c e s s f u l l y added .
31. S i z e : 5755 b yte s
32. Format : RAW
33. F i l e : ’ / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / i n t / system Diagram Model Slr Base Address . j s o n ’ 371
34. S e c t i o n : ’IP\_LAYOUT ’ ( 8 ) was s u c c e s s f u l l y appended to .
35. Format : JSON
36. F i l e : ’ ip\_layo ut ’
37. S u c c e s s f u l l y wrote ( 42723643 b yte s ) to the output f i l e : / iu\_home/ iu 7 0 5 0 / workspac 3 / vin c . x c l b i n
38. Leaving x c l b i n u t i l .
39. INFO : [ v++ 60 −1441 ] [ 0 1 : 1 6 : 1 0 ] Run run\_link : Step x c l b i n u t i l : Completed

378 Time ( s ) : cpu = 0 0 : 0 0 : 0 0 . 5 2 ; e l a p s e d = 0 0 : 0 0 : 0 3 . Memory (MB) : peak = 1 5 8 5 . 1 2 9 ; g ain = 0 . 0 0 0 ; f r e e p h y s i c a l = 177348 ; f r e e **virtual** = 318456

1. INFO : [ v++ 60 −1443 ] [ 0 1 : 1 6 : 1 0 ] Run run\_link : Step x c l b i n u t i l i n f o : Sta r te d
2. INFO : [ v++ 60 −1453 ] Command Line : x c l b i n u t i l −−q u i e t −−f o r c e −−i n f o / iu\_home/ iu 7 0 5 0 / workspac 3 / vin c . x c l b i n . i n f o −−inp ut / iu\_home/ iu 7 0 5 0 / workspac 3 / vin c . x c l b i n

|  |  |  |
| --- | --- | --- |
| 381 | INFO : [ v++ 60 −1454 ] Run D i r e c t o r y : / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / run\_link | |
| 382 | INFO : [ v++ 60 −1441 ] [ 0 1 : 1 6 : 1 3 ] Run run\_link : Step x c l b i n u t i l i n f o : Completed | |
| 383 | Time ( s ) : cpu = 0 0 : 0 0 : 0 3 ; e l a p s e d = 0 0 : 0 0 : 0 3 . Memory (MB) : peak = 1 5 8 5 . 1 2 9 ; g ain = 0 . 0 0 0 ; f r e e | |
|  | p h y s i c a l = 177488 ; f r e e **virtual** = 318597 | |
| 384 | INFO : | [ v++ 60 −1443 ] [ 0 1 : 1 6 : 1 3 ] Run run\_link : Step g e n e rate \_s c \_d rive r : Sta r te d |
| 385 | INFO : | [ v++ 60 −1453 ] Command Line : |
| 386 | INFO : | [ v++ 60 −1454 ] Run D i r e c t o r y : / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l i n k / run\_link |
| 387 | INFO : | [ v++ 60 −1441 ] [ 0 1 : 1 6 : 1 4 ] Run run\_link : Step g e n e rate \_s c \_d rive r : Completed |
| 388 | Time ( | s ) : cpu = 0 0 : 0 0 : 0 0 ; e l a p s e d = 0 0 : 0 0 : 0 0 . 0 5 . Memory (MB) : peak = 1 5 8 5 . 1 2 9 ; g ain = 0 . 0 0 0 ; f r e e |
| 389  390 | p h y s i c a l = 177509 ; f r e e **virtual** = 318618  INFO : [ v++ 60 −244] Ge ne rating system e s t i m a t e r e p o r t . . .  INFO : [ v++ 60 −1092 ] Generated system e s t i m a t e r e p o r t : / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ r e p o r t s / l i n k /  system\_estimate\_vinc . x tx t | |
| 391 | INFO : | [ v++ 60 −586] Created / iu\_home/ iu 7 0 5 0 / workspac 3 / vin c . l t x |
| 392 | INFO : | [ v++ 60 −586] Created / iu\_home/ iu 7 0 5 0 / workspac 3 / vin c . x c l b i n |
| 393 | INFO : | [ v++ 60 −1307 ] Run completed . A d d it io n a l i n f o r m a t i o n can be found in : |
| 394 | Guidan | ce : / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ r e p o r t s / l i n k / v++\_link\_vinc\_guidance . html |
| 395 | Timing | Report : / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ r e p o r t s / l i n k / imp/ |
|  | impl\_1\_xilinx\_u200\_xdma\_201830\_2\_bb\_locked\_timing\_summary\_routed . rp t | |
| 396 | Vivado Log : / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l o g s / l i n k / vivado . l o g | |
| 397 | Ste ps Log F i l e : / iu\_home/ iu 7 0 5 0 / workspace 3 /\_x/ l o g s / l i n k / l i n k . s t e p s . l o g | |
| 398 |  | |
| 399  400  401  402 | INFO : [ v++ 60 −2343 ] Use the v i t i s \_ a n a l y z e r t o o l to v i s u a l i z e **and** n a vig a te the r e l e v a n t r e p o r t s . Run the f o l l o w i n g command .  v i t i s \_ a n a l y z e r / iu\_home/ iu 7 0 5 0 / workspac 3 / vin c . x c l b i n . link\_summary INFO : [ v++ 60 −791] Total e l a p s e d time : 11 h 39m 10 s  INFO : [ v++ 60 −1653 ] Clo s in g d i s p a t c h c l i e n t . | |

# Приложение 3

### Листинг 3 – Содержимое xclbin.info-файла

1

2 ==============================================================================

3 XRT Build Ve rs io n : 2 . 8 . 7 4 3 ( 2 0 2 0 . 2 )

4 Build Date : 2020−11−16 0 0 : 1 9 : 1 1

5 Hash ID : 77 d 5 4 8 4 b 5 c 4 daa 6 9 1 a 7 f 7 8 2 3 5 0 5 3 fb 0 3 6 8 2 9 b 1 e 9

6 ==============================================================================

7 x c l b i n In f o rm a tio n

8 −−−−−−−−−−−−−−−−−−

9 Generated by : v++ ( 2 0 2 0 . 2 ) on 2020 −11 −18 −05:13:29

10 Ve rs io n : 2 . 8 . 7 4 3

1. Ke rn e ls : rtl\_kernel\_wizard\_ 0
2. Sig n a tu r e :
3. Content : Bits tre am
4. UUID ( x c l b i n ) : 9 cca 28 b 1 −a 4 ee −4a5d−8e77 −56 be bce 2 e 3 ae
5. S e c t i o n s : DEBUG\_IP\_LAYOUT, BITSTREAM, MEM\_TOPOLOGY, IP\_LAYOUT,
6. CONNECTIVITY, CLOCK\_FREQ\_TOPOLOGY, BUILD\_METADATA,
7. EMBEDDED\_METADATA, SYSTEM\_METADATA,
8. GROUP\_CONNECTIVITY, GROUP\_TOPOLOGY

19 ==============================================================================

20 Hardware Platfo rm ( S h e l l ) In f o rm a tio n

21 −−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−−

1. Vendor : x i l i n x
2. Board : u200
3. Name : xdma

25 Ve rs io n : 2 0 1 8 3 0 . 2

26 Generated Ve rs io n : Vivado 2 0 1 8 . 3 (SW Build : 2568420 ) 27 Created : Tue Jun 25 0 6 : 5 5 : 2 0 2019

1. FPGA Device : xcu 200
2. Board Vendor : x i l i n x . com
3. Board Name : x i l i n x . com : au200 : 1 . 0
4. Board Part : x i l i n x . com : au200 : p art 0 : 1 . 0
5. Platfo rm VBNV: xilinx\_u200\_xdma\_201830\_2

33 S t a t i c UUID: c 1 0 2 e 7 af −b2b8 −4381−992b−9 a 00 cc 3863 eb

34 Fe ature ROM TimeStamp : 1561465320 35

36 Clo cks

37 −−−−−−

1. Name : DATA\_CLK
2. Index : 0
3. Type : DATA
4. Frequency : 300 MHz 42
5. Name : KERNEL\_CLK
6. Index : 1
7. Type : KERNEL
8. Frequency : 500 MHz 47

48 Memory C o n f i g u r a t i o n

49 −−−−−−−−−−−−−−−−−−−−

1. Name : bank0
2. Index : 0
3. Type : MEM\_DDR4
4. Base Address : 0 x 4000000000
5. Address S i z e : 0 x 400000000
6. Bank Used : No 56
7. Name : bank1
8. Index : 1
9. Type : MEM\_DDR4
10. Base Address : 0 x 5000000000
11. Address S i z e : 0 x 400000000
12. Bank Used : No 63
13. Name : bank2
14. Index : 2
15. Type : MEM\_DDR4
16. Base Address : 0 x 6000000000
17. Address S i z e : 0 x 400000000
18. Bank Used : No 70
19. Name : bank3
20. Index : 3
21. Type : MEM\_DDR4
22. Base Address : 0 x 7000000000
23. Address S i z e : 0 x 400000000

### 26

1. Bank Used : Yes 77
2. Name : PLRAM[ 0 ]
3. Index : 4
4. Type : MEM\_DRAM
5. Base Address : 0 x 3000000000
6. Address S i z e : 0 x 20000
7. Bank Used : No 84
8. Name : PLRAM[ 1 ]
9. Index : 5
10. Type : MEM\_DRAM
11. Base Address : 0 x 3000200000
12. Address S i z e : 0 x 20000
13. Bank Used : No 91
14. Name : PLRAM[ 2 ]
15. Index : 6
16. Type : MEM\_DRAM
17. Base Address : 0 x 3000400000
18. Address S i z e : 0 x 20000
19. Bank Used : No

98 ==============================================================================

99 Kernel : rtl\_kernel\_wizard\_ 0 100

101 D e f i n i t i o n

102 −−−−−−−−−−

103 Sig n a tu r e : rtl\_kernel\_wizard\_ 0 ( u in t s c a l a r 0 0 , **int** ∗ axi 00 \_ptr 0 ) 104

105 Po rts

106 −−−−−

1. Port : s \_axi\_co ntro l
2. Mode : s l a v e
3. Range ( b yte s ) : 0 x 1000
4. Data Width : 32 b i t s
5. Port Type : a d d r e s s a b l e 112
6. Port : m00\_axi
7. Mode : master
8. Range ( b yte s ) : 0xFFFFFFFFFFFFFFFF
9. Data Width : 512 b i t s
10. Port Type : a d d r e s s a b l e 118

119 −−−−−−−−−−−−−−−−−−−−−−−−−−

1. I n s t a n c e : vin c 0
2. Base Address : 0 x 1 e 00000 122
3. Argument : s c a l a r 0 0
4. R e g i s t e r O f f s e t : 0 x010
5. Port : s \_axi\_co ntro l
6. Memory : <**not** a p p l i c a b l e > 127
7. Argument : axi 00 \_ptr 0
8. R e g i s t e r O f f s e t : 0 x018
9. Port : m00\_axi
10. Memory : bank3 (MEM\_DDR4)

132 ==============================================================================

133 Generated By

134 −−−−−−−−−−−−

135 Command : v++

136 Ve rs io n : 2 0 2 0 . 2 − 2020 −11 −18 −05:13:29 (SW BUILD : 0 )

1. Command Line : v++ −−c o n f i g / iu\_home/ iu 7 0 5 0 / workspace 3 / work4 . c f g −−c o n n e c t i v i t y . nk rtl\_kernel\_wizard\_ 0 : 1 : vin c 0 −−c o n n e c t i v i t y . s l r vin c 0 : SLR2 −−c o n n e c t i v i t y . sp vin c 0 . m00\_axi :DDR[ 3 ] −−i n p u t \_ f i l e s / iu\_home/ iu 7 0 5 0 / workspace 3 / work 4 \_kernels / viva d o \_rtl\_k e rn e l / rtl\_kernel\_wizard\_ 0 \_ex / e x p o r t s / rtl\_kernel\_wizard\_ 0 . xo −−l i n k −−o p tim iz e 0 −−output / iu\_home/ iu 7 0 5 0 / workspac 3 / vin c . x c l b i n −−p la tf o rm xilinx\_u200\_xdma\_201830\_2 −−r e p o r t \_ l e v e l 0 −−t a r g e t hw −−vivado . prop run . impl\_1 . STEPS . OPT\_DESIGN. ARGS. DIRECTIVE=Explo re −−vivado . prop run . impl\_1 . STEPS . PLACE\_DESIGN. ARGS. DIRECTIVE=Explo re −−vivado . prop run

. impl\_1 . STEPS . PHYS\_OPT\_DESIGN. IS\_ENABLED=**true** −−vivado . prop run . impl\_1 . STEPS . PHYS\_OPT\_DESIGN. ARGS. DIRECTIVE=Ag g r e s s ive Ex p lo r e −−vivado . prop run . impl\_1 . STEPS . ROUTE\_DESIGN. ARGS. DIRECTIVE=Explo re

1. Options : −−c o n f i g / iu\_home/ iu 7 0 5 0 / workspace 3 / work4 . c f g
2. −−c o n n e c t i v i t y . nk rtl\_kernel\_wizard\_ 0 : 1 : vin c 0
3. −−c o n n e c t i v i t y . s l r vin c 0 : SLR2
4. −−c o n n e c t i v i t y . sp vin c 0 . m00\_axi :DDR[ 3 ]
5. −−i n p u t \_ f i l e s / iu\_home/ iu 7 0 5 0 / workspace 3 / work 4 \_kernels / viva d o \_rtl\_k e rn e l / rtl\_kernel\_wizard\_ 0 \_ex / e x p o r t s / rtl\_kernel\_wizard\_ 0 . xo
6. −−l i n k
7. −−o p tim iz e 0
8. −−output / iu\_home/ iu 7 0 5 0 / workspac 3 / vin c . x c l b i n
9. −−p la tf o rm xilinx\_u200\_xdma\_201830\_2
10. −−r e p o r t \_ l e v e l 0
11. −−t a r g e t hw
12. −−vivado . prop run . impl\_1 . STEPS . OPT\_DESIGN. ARGS. DIRECTIVE=Explo re

|  |  |  |
| --- | --- | --- |
| 150 | −−vivado . prop | run . impl\_1 . STEPS . PLACE\_DESIGN. ARGS. DIRECTIVE=Explo re |
| 151 | −−vivado . prop | run . impl\_1 . STEPS . PHYS\_OPT\_DESIGN. IS\_ENABLED=**true** |
| 152 | −−vivado . prop | run . impl\_1 . STEPS . PHYS\_OPT\_DESIGN. ARGS. DIRECTIVE=Ag g r e s s ive Ex p lo r e |
| 153 | −−vivado . prop | run . impl\_1 . STEPS . ROUTE\_DESIGN. ARGS. DIRECTIVE=Explo re |
| 154  155  156  157  158 | ==============================================================================  User Added Key Value P a i r s  −−−−−−−−−−−−−−−−−−−−−−−−−−  <empty>  ============================================================================== | |